

文章编号: 2096-1618(2017)增-0012-03

一种基于FPGA的RDS编码器实现研究

刘烜宏, 苏良成, 王建波
(成都信息工程大学, 四川 成都 610225)

摘要:广播数据系统(RDS)作为调频广播应用扩展的一项技术, 实现在调频广播信道中兼容传送数据信息, RDS编码器是其应用环节的关键设备, 其传统电路实现方式采用的小规模数字电路搭建, 随着数字集成技术和信号处理技术的发展, 越来越多的电路设计使用FPGA的方式来实现。通过分析RDS编码电路的主要原理和特点, 介绍基于FPGA的RDS编码器电路的设计和实现。

关键词: RDS编码器; FPGA; 调频广播

0 引言

广播数据系统(radio data system, RDS)技术是利用调频多工技术, 在调频广播的富余频带内增加副载波信道, 用以单向传送数据信息^[1]。带RDS的调频广播利用现有已高度普及的调频广播网的附加信道频点, 并不占用调频广播新的频率资源和发射网络设备, 被认为是一种最为经济的无线数据传输手段。

在调频广播中, 广播电台间的频率间隔至少为200 KHz以防止邻频干扰, 但遗憾的是这种方式的频带资源得不到充分利用。以调频立体声广播为例, 如图1所示, 立体声广播有一个频率为19 KHz的导频信号, 用以指示和恢复立体声信号, 整个立体声信号占用50 KHz左右的频带, 未被占用的空闲频带则可作为调频广播的应用扩展, RDS技术便由此而来。根据国际无线电咨询委员会(CCIR)组织的用各种副载波和调制方式所做的试验表明, 在多径传输条件下, RDS中心频率为导频信号频率的3倍频(57 KHz)并与之锁相时, 所造成的干扰最小^[1]。因此, RDS数据信号基带频率为 57 ± 2.4 KHz时, 既不会对立体声广播节目产生干扰, 也不会对RDS通信质量产生较大影响, 具有很好

的兼容性。

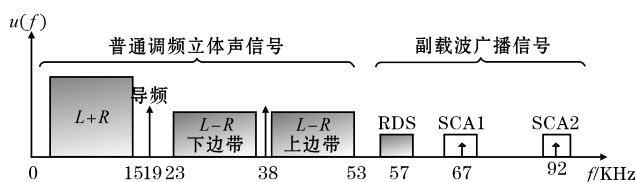


图1 RDS调频广播频谱分布图

1 RDS编码器

设计RDS编码器, 首先明确RDS的指标参数, RDS规范如下:

时钟频率和基本数据速率1187.5 bit/s; 副载波频率为 57 ± 6 KHz, 对主载波称频偏 $\pm 1.0 \sim \pm 7.5$ KHz; 基带信号编码方式为差分编码; 副载波调制方式为PSK(相移键控)^[2,9];

图2为发送端编码器框图, 除去调频广播音频节目模块即为RDS编码器模块, 其中主要包括差分编码器、双相码发生器、成形滤波器、分频器、调制器等构成, 将编码调制后的RDS信号与立体声复合信号混合后送到发射机的调制输入端。

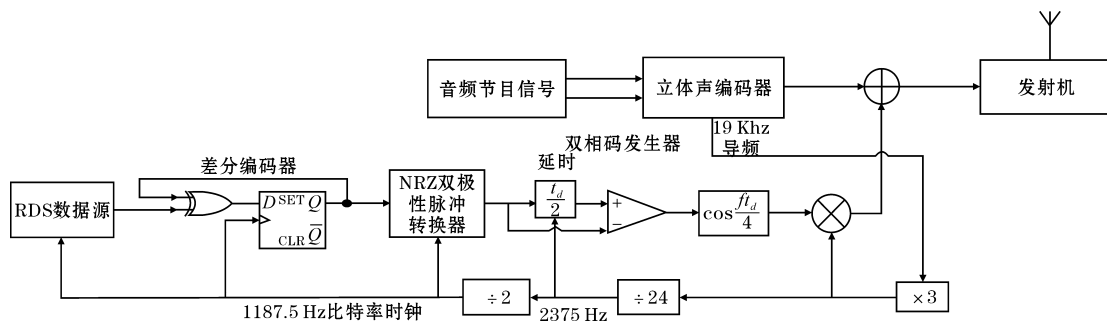


图2 RDS调频广播发送端框图

1.1 差分编码

为防止双向码极性反转时发生译码错误, 系统中

引入差分编码, RDS差分编码规则如下: 设 t_i 是当前任意时刻, t_{i-1} 是前一数据信息时钟周期的时刻, 时钟频率为1187.5 KHz^[2,9]。当输入数据为0, 输出数据保持不变, 当输入数据为1, 输出数据为前面数据的补

码。差分编码实现比较简单,通过一个异或门和一个D触发器即可实现。

1.2 双相编码

根据数据通信基带传输的基本原理可知,基带信号是代码的一种电表示形式,并不是所有的基带波形都能在数据信道中传输^[3]。考虑到基带信号在数据信道中传输波形可能产生严重失真,因此需要选择合适的信号码型,合理设计数字基带信号以适应信道的传输特性。RDS基带信号的传输码型采用了双相码,又叫曼彻斯特编码。双相码通过一个周期的方波来表示码元“1”,通过其反相波形来表示码元“0”。因为双相码每个码的间隔中心都存在电平跳变,所以便于提取位定时信息,且没有直流分量。双相码可通过一个延时器和一个比较器实现。

1.3 数据信道频谱成形

RDS信号最终与调频广播一起模拟传输,因此研究基带信号的频谱结构十分必要。通过频谱分析,可以确定信号要占用的频带带宽,还可以获得信号频谱中的直流分量、位定时分量、主瓣宽度和谱滚降衰减速度等信息。这样,我们可以根据信道的传输特性来选择适合的信号形式。

RDS规范中规定差分编码中的非归零码转换成极性脉冲,码元1变为正极性脉冲,码元0变为负极性脉冲,极性脉冲延迟半个码元周期 $t_d/2$ 与为延迟的极性脉冲相减便得到双相符号脉冲^[6],经成形滤波器后得到相应的基带信号传输波形。

每个数据位产生一个单脉冲对 $\varepsilon(t)$,表达式如下:

$$\varepsilon(t) = \begin{cases} \delta(t) - \delta(t - t_d/2), & \text{逻辑位为1} \\ -\delta(t) + \delta(t - t_d/2), & \text{逻辑位为0} \end{cases} \quad (1)$$

矩形脉冲频谱很宽,在数据传输过程中为了限制频带宽度,这些脉冲对需要经过一个 $H_r(f)$ 成形滤波器,其中 $t_d = 1/1187.5$ s。

$$H_r(f) = \begin{cases} \cos \frac{\pi f t_d}{4}, & 0 \leq f \leq \frac{2}{t_d} \\ 0, & f > \frac{2}{t_d} \end{cases} \quad (2)$$

因此,成形滤波器是100%余弦滚降的升余弦滤波器。

$\varepsilon(t)$ 通过成形滤波器后,波形在频域上可表示为

$$\pm \cos \frac{\pi f t_d}{4} (1 - \cos \pi f t_d + j \sin \pi f t_d) \quad (3)$$

因此,幅频响应为 $2 \cos \frac{\pi f t_d}{4} \sin \frac{\pi f t_d}{2}$,如图3所示。

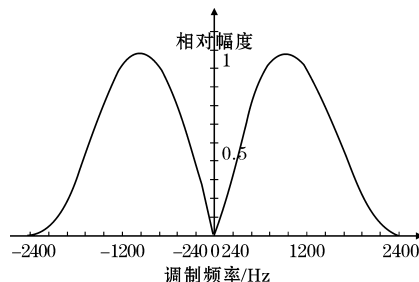


图3 通过成形滤波器后双相编码信号频谱

$$\varepsilon(t) \text{ 通过成形滤波器后,波形在时域可表示为}$$

$$\pm \left[\frac{2}{\pi(t_d + 8t)} \cos \frac{4\pi t}{t_d} + \frac{2}{\pi(t_d - 8t)} \cos \frac{4\pi t}{t_d} - \frac{2}{\pi(8t - 3t_d)} \cos \frac{4\pi t}{t_d} - \frac{2}{\pi(-8t + 5t_d)} \cos \frac{4\pi t}{t_d} \right] \quad (4)$$

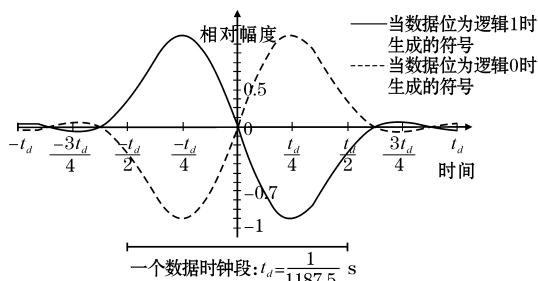


图4 通过成形滤波器后单个双相编码信号

2 RDS编码器的实现

根据对RDS编码器技术特点的讨论,采用基于FPGA的全数字方案是一种很好的实现方式,其实现框图如图5所示。RDS编码器硬件架构由4部分组成:编码器主模块、控制逻辑单元、数字滤波器模块、分频电路模块。编码器主模块是差分双相编码器,控制逻辑控制多路选择器对差分编码信号插值处理,数字滤波器模块对信号进行滤波以适应模拟信道传播,分频电路模块精确地生成系统所需的时钟频率。其中,分频电路模块和数字滤波器模块是RDS编码器设计的两个关键,接下来将具体讨论。

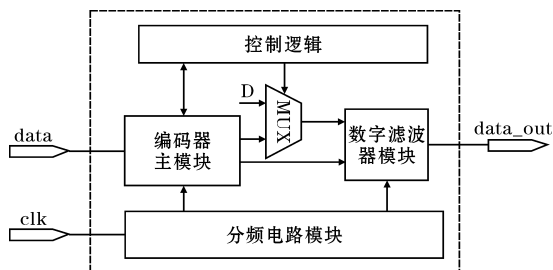


图5 RDS编码器FPGA实现框图

2.1 分频电路模块

设 FPGA 输入时钟为 50 MHz, 而副载波频率为 57 KHz 且基本数据速率为 1187.5 bit/s, 因此需要进行多次分频获得不同频率的时钟信号, 一种方式采用 FPGA 集成的 PLL 对时钟控制管理可以实现同相不同频的时钟信号。另一种方式采用 FPGA 的逻辑资源设计分频电路, 由于本设计涉及的分频不是简单的奇偶整数分频, 所以需要寻求一种高精度、任意频率合成的方式。在波形发生器中有一种重要的频率方法 DDS (直接频率合成法), 通过相位累加原理实现了通过步长可配置的任意频率波形输出^[5]。根据这个原理, 通过对相位累加的地址进行处理, 可以直接计算相应的频率。文中使用后一种方式实现分频, 此时频率计算公式如下:

$$f_o = \frac{f_c \times K}{N} = \frac{50 \times 10^6 \times K}{2^{32}} \quad (5)$$

其中输入时钟为 $f_c = 50$ MHz, 相位寄存器 N 为 32 位, K 为步长, f_o 为输出时钟, 因此相位寄存器每经过 N/K 个参考时钟回到初始状态。

2.2 滤波器模块

因为 RDS 本身是数字信号, 如何将二进制数字信号转变为符合规范要求的调制信号是 RDS 编码的关键。由前面数据信道频谱成形分析可知, 将差分编码输出的非归零码变换为极性脉冲对, 经过转换后的脉冲对通过一个传递函数为余弦波形函数的低通滤波器, 这是一个滚降因子为 1, 截止频率为 1187.5 KHz 的升余弦滤波器。文中采用 FIR 滤波器实现滤波, 其实现方式如图 6 所示, 输入数据首先进入一个移位寄存器和一个标志位寄存器, 因为输入数据集合有 $\{-1, 0, 1\}$, 标志位数据控制滤波系数的符号位, 然后移位寄存器各位数据分别与滤波系数相乘进入加法器单元, 最后加法器输出结果通过截位后输出。

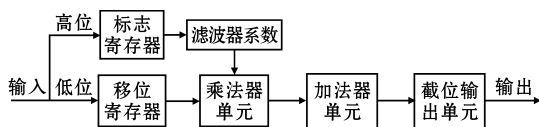


图6 成形滤波器实现框图

滤波器系数的确定可以根据图 4 所示的波形以 $t_d/8$ 的时间间隔对其进行采样, 区间为 $[-3t_d/4, 3t_d/4]$, 其采样获得 FIR 滤波器的 13 个系数的值为: -0.0476 、 0 、 0.2857 、 0.7363 、 1 、 0.7362 、 0 、 -0.7360 、 -1 、 -0.7361 、 -0.2857 、 0 、 0.0476 。

3 仿真结果

完成逻辑电路设计后, 首先需要对其进行仿真验证测试, 通过 Mentor 公司的 ModelSim 仿真软件, 使用

Verilog HDL 编写 Testbench 进行仿真验证。



图7 ModelSim 仿真波形图

ModelSim 仿真结果如图 7 所示。clk: 时钟输入 (这里使用仿真时钟); data: 二进制数据输入; data_difc: 通过差分编码器后的数据; signal_itp: 未通过双相编码的插值波形; signal_itp_n: 通过双相编码的插值波形; data_out: 通过数字滤波器后的输出波形。RDS 编码器通过数字信号处理最终输出阶梯状的信号波形, 功能得到验证。

4 结束语

通过对 RDS 编码器技术的分析, 设计了 RDS 的数字电路实现并给出相应仿真结果, 同时注意到上述电路最终输出波形为阶梯状的数字波形, 因此在对输出信号进行调制之前还应该通过一个低通滤波器滤除阶梯信号的高次谐波, 使 RDS 基带调制信号频谱控制在 2400Hz 以内。

参考文献:

- [1] 徐超, 秦海鹏. RDS 数据广播技术在山洪预警信息发布系统中的应用[J]. 中国防汛抗旱, 2011, 21(4): 87-88.
- [2] GB/T 15770-1995, 广播数据系统(RDS)技术规范[S].
- [3] 樊昌信, 曹丽娜. 通信原理(第6版)[M]. 北京: 国防工业出版社, 2007.
- [4] 陈佩青. 数字信号处理教程(第四版)[M]. 北京: 清华大学出版社, 2013.
- [5] 韩彬, 于潇宇, 张雷鸣. FPGA 设计技巧与案例开发详解[M]. 北京: 电子工业出版社, 2014.
- [6] 王晖, 韦博荣. 广播通信系统(RDS)编码电路设计[J]. 北京广播学院学报(自然科学版), 1997, (18): 18-23.
- [7] 孙耀琦, 高火涛, 熊超. 基于 Matlab 和 FPGA 的 FIR 数字滤波器设计及实现[J]. 现代电子技术, 2008, (11): 89-92.
- [8] EN62106-2001, Specification of the radio data system (RDS) for VHF/FM sound broadcasting in the frequency range from 87.5 to 108.0 MHz[S].
- [9] Dietmar Kopitz, Bev Marks. RDS: the radio data system[M]. Artech House, 1999.