

文章编号: 2096-1618(2020)05-0499-06

一种用于图像采集的复合结构 ADC

曾雪, 郭函, 陈功

(成都信息工程大学通信工程学院, 四川 成都 610225)

摘要:针对图像传输领域在帧率和分辨率方面日益增长的需求,设计了用于图像采集的专用集成电路(ASIC)。电路为一种数模混合的14位复合结构ADC。采用FLASH辅助SAR的结构,通过FLASH ADC量化编码输入信号的高4位,并通过高4位编码辅助控制CDAC开关电容阵列,减少SAR ADC逐次比较的周期。为应对电容失配误差,设计了自校准电路及算法。基于SMIC130nm工艺,在电源电压3.3V,数字逻辑电平电压1.2V,转换速率2.6MS/s的条件下进行了仿真,结果表明,该ADC的DNL为+1/-0.8LSB,INL为+1.2/-1LSB,SNDR为77.81dB,ENOB为12.63bit,满足图像传输和图像采集领域高帧率、高分辨率的要求。

关键词:专用集成电路;数模混合集成电路;图像采集;复合结构ADC;自校准

中图分类号:TN432

文献标志码:A

doi:10.16836/j.cnki.jcui.2020.05.003

0 引言

随着集成电路技术的发展,CMOS图像传感器以其高帧率、低功耗以及面积小的特点^[1]逐渐占据越来越多的市场份额。作为CMOS图像传感器中模拟转数字的重要部分,模数转换器(analogto digital converter, ADC)的性能直接决定着CMOS图像传感器的整体性能^[2-5]。

图像传输领域高帧率和高分辨率的需求,对ADC在速度和精度等方面提出了更高的要求。目前常见的ADC结构包括Flash型、过采样型、流水线型、逐次逼近型和时间交织型^[6-10]。从表1可以看出,不同的结构带来了不同的电学特性。

表1 5种常见ADC的电学特性

ADC结构	分辨率	采样速率	功耗	面积
FLASH型 ^[6]	<8 bit	快	高	大
过采样型 ^[7]	16~31 bit	慢	中	中
流水线型 ^[8]	10~14 bit	快	中	大
逐次逼近型 ^[9]	8~16 bit	慢/中	低	小
时间交织型 ^[10]	8~12 bit	快	高	中

为了在获得高分辨率的同时,提高采样速率,并保有低功耗的特点,提出一种14bit分辨率2.6MSPS采样速率的复合结构ADC。该ADC基于SMIC130nm工艺进行设计,采用FLASH辅助SAR的结构。通过FLASH结构量化编码输入信号的高4位,并通过高4

位编码辅助控制CDAC开关电容阵列,减少SAR ADC逐次比较的周期,实现高速率。设计还通过自校准电路及算法降低电容失配对ADC精度带来的影响。

1 总体架构设计

1.1 复合结构ADC的架构

设计的复合结构ADC如图1所示,包括伪电阻梯、比较器、温度计解码器、D触发器、与门、栅压自举开关、CDAC开关电容阵列和SAR逻辑控制单元。

图1中,模拟信号输入后,经过栅压自举开关给采样电容充电,采样电容经采样保持得到采样电压 V_s 。二极管接法的PMOS管构成伪电阻梯与15个比较器共同构成了1个4bit的FLASH ADC,该ADC对采样电压 V_s 进行量化编码,编码结果直接用于控制CDAC开关电容阵列的高4bit,因该过程也许消耗1个时钟周期,因此该方案为SAR ADC中CDAC的逐次逼近过程节省了3个周期,使设计只需要11个逐次逼近周期便可实现14bit的量化编码。

14位分辨率对CDAC提出了较大的要求,使用传统的二进制电容阵列方法进行容值设定,则会出现巨大的容值,不仅增大了版图面积,而且在SMIC130nm中难以实现,因此,文中采用了一种桥结构电容阵列^[11]。这种桥结构电容阵列,通过桥接电容,将整个CDAC开关电容阵列分为高位电容阵列和低位电容阵列,桥电容与低位电容阵列的串联总值恰好为一个单位电容,使得整个电容阵列在极大地减小总电容的情况下,保持二进制的连贯性。

收稿日期:2020-05-31

基金项目:国家自然科学基金资助项目(61601065);中国博士后基金资助项目(2017M612941)

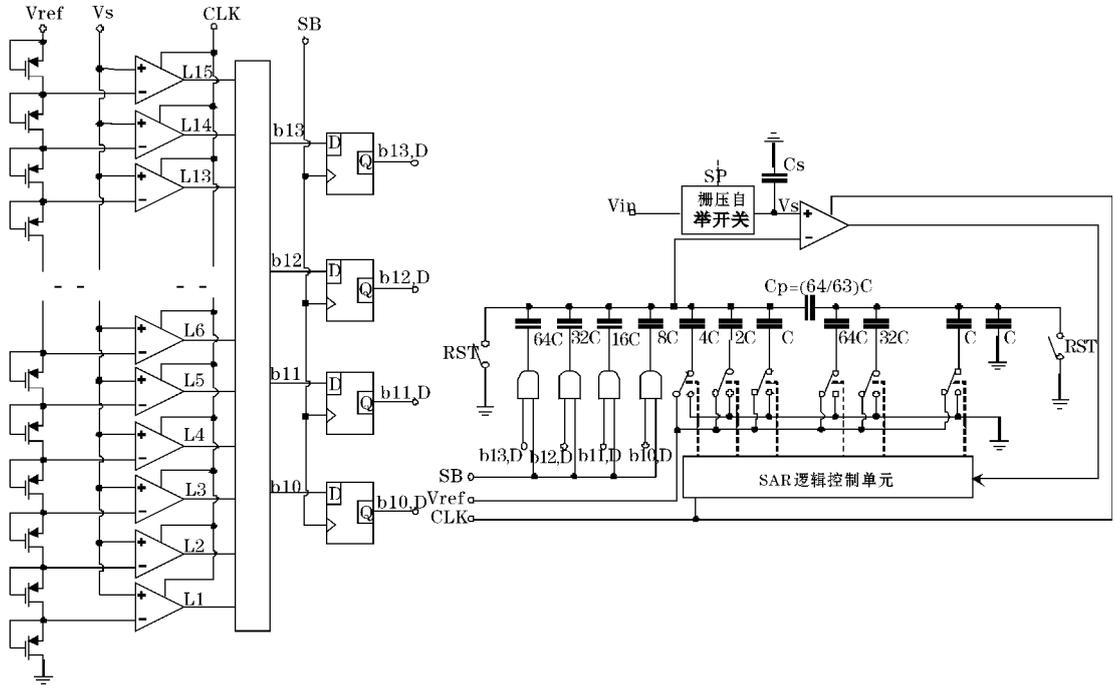


图1 复合结构 ADC 整体架构框图

1.2 复合结构 ADC 的时序

复合结构 ADC 的时序如图 2 所示。

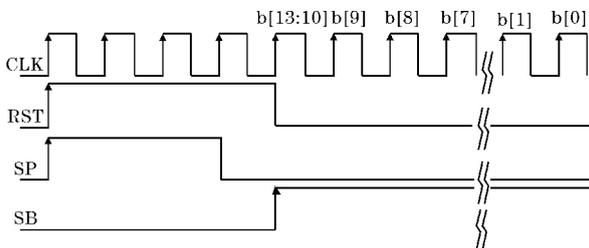


图2 复合结构 ADC 时序图

在前 3 个时钟周期,采样信号 SP 置于高电平,此时模拟输入信号 V_{in} 给采样电容 C_s 充电,同时复位信号 RST 亦置于高电平,CDAC 开关电容阵列处于两端接地的复位状态。值得注意的是,由于 CDAC 的高四位电容开关直接由 FLASH ADC 的电平控制,为了能够让这 4 个电容也能处于两端接地的复位状态,设计了 4 个与门,4 个与门均与位信号 SB 连接,在这 3 个时钟周期之间,位信号 SB 处于低电平状态,此时高四位电容均两端接地。

当第 4 个时钟周期上升沿来临时,采样信号 SP 切换至低电平,使得栅压自举开关关断,此时采样电容 C_s 处于保持状态,此举是为了给 FLASH ADC 预留出足够的量化编码时间。此时复位信号 RST 和位信号 SB 的状态均保持不变。

当第 5 个时钟周期上升沿来临时,复位信号 RST 翻转为低电平,CDAC 开关电容阵列停止复位,并做好逐次逼近的准备;此时位信号 SB 翻转为高电平,在位信号 SB 上升沿状态时,FLASH ADC 的 4 个 D 触发器被触发,FLASH ADC 的温度计码解码器的 4 bit 量化编码数据被输出,位信号 SB 在之后的整个逐次逼近过程中均保持高电平状态,一方面使得高 4 bit 状态锁存,另一方面,开启 CDAC 高 4 bit 电容开关的通道,使这 4 个电容开关均直接由高 4 bit 数据的电平状态控制。

此后的 6 ~ 15 个时钟周期,复位信号 RST、采样信号 SP 和位信号 SB 的电平状态均保持不变,SAR 逻辑控制单元进行正常的逐次逼近量化编码过程,即在每得到前一位的比较器输出值时,使用该值对应的电平状态直接控制 CDAC 中该 bit 的电平控制,并将 CDAC 的下一 bit 接参考电压 V_{ref} ,在下一个时钟周期得到这一 bit 的值。

1.3 时钟周期的设定

由于 CMOS 开关内阻的存在,每一个开关电容可等效为一阶 RC 网络,而一阶 RC 网络的全响应^[12]为

$$u(t) = u(\infty) + [u(0_+) - u(\infty)]e^{-\frac{t}{RC}} \quad (1)$$

其中 $u(\infty)$ 为电容充电的终态电压, $u(0_+)$ 为电容的初始电压。当电容处于 0 状态时,式(1)则可简化为

$$u(t) = u(\infty)(1 - e^{-\frac{t}{RC}}) \quad (2)$$

由式(2)可知,即使当 $t = 4RC$ 时,电容也仅充达

0.98 倍的电,因此,为了应对电容 0 状态充电这种极端情况,时钟周期应大于 $4RC$,以此防止逐次逼近失败的情况发生。

同时,由于采样过程极其关键,若采样电容充电不准,整个量化编码过程便失去了意义,因此,使用了 3 个时钟周期进行采样。为了进一步估算适当的时钟周期,需先得到 RC 值。

对于栅压自举开关以及普通 CMOS 互补开关,其关键器件均为 NMOS 管和 PMOS 管组成的 CMOS 对。对于这样的结构,MOS 管的宽长比越大,开关的寄生电容越大,时钟馈通现象越严重,对输出电压影响越大;而宽长比越小,导通电阻则越大。经折中设计后,基于 SMIC130 nm 工艺,得到了等效电阻约为 $10\text{ k}\Omega$ 的 CMOS 互补开关。而在 SMIC130nm 工艺中,单位容值最小的器件为 MIM.1 型电容,该电容最小面积为 $9\text{ }\mu\text{m}^2$,单位面积电容为 $1\text{ fF}/\mu\text{m}^2$ 。由于 CDAC 中最大电容的容值为 64 倍的最小电容,即 576 fF ,因此采样电容 C_s 的最小值也为 576 fF 。据此得出, RC 值为 5.76 ns 。

为满足充放电的建立时间,设定了略大于 $4RC$ 的时间作为时钟周期,具体值为 25 ns 。因此整个复合结构 ADC 完成一次采样量化编码共需 375 ns ,即采样率为 2.6 MHz 。

1.4 比较器的设计

比较器是 ADC 的关键电路,用于实现模拟到数字的量化过程,其能够分辨的最小电压将影响到 ADC 的整体精度^[13]。

设计一种动态比较器,包括前置放大器和锁存器,如图 3 所示。前置放大器为两个二极管接法的 NMOS 作负载的共源放大电路组成的差分对,尾管由时钟信号控制的 PMOS 构成。

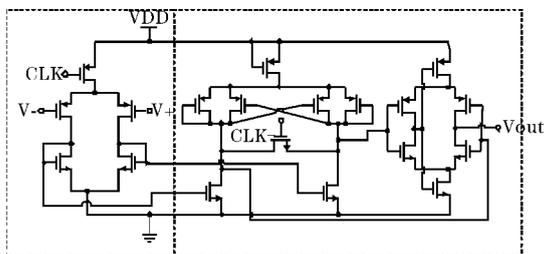


图 3 比较器电路图

由于比较器首先应满足高分辨能力的性能要求,所以前置放大器应提高增益,但高增益在一定程度会影响比较器的速度和带宽,综合考虑以上因素,选取设计的前置放大器增益为 16 dB 。

2 失配电容自校准设计

2.1 校准电路的设计

由于文中 CDAC 采用了桥结构电容阵列,这种结构虽然可以极大地减小总电容,但其顶级板对地寄生十分敏感,如果不进行校准,将难以得到理想的精度^[11]。而在加工环节,由于 SMIC130 nm 工艺的 MIM.1 型电容也会出现最大约为 10% 的误差,该误差势必影响比较器的精度,因此,不仅需要版图布局中采用对称布局的方法抑制工艺角失配,还需设计自校准电路及算法。

图 4 为自校准电路示意图,在原有设计上,增设了自校准逻辑控制单元和自校准电容阵列,自校准电容阵列与比较器的同相端连接,用以检测 CDAC 每一位的电容失配电压;同时,比较器的同相端、反相端以及 CDAC 的高四位也增添了一些结构。

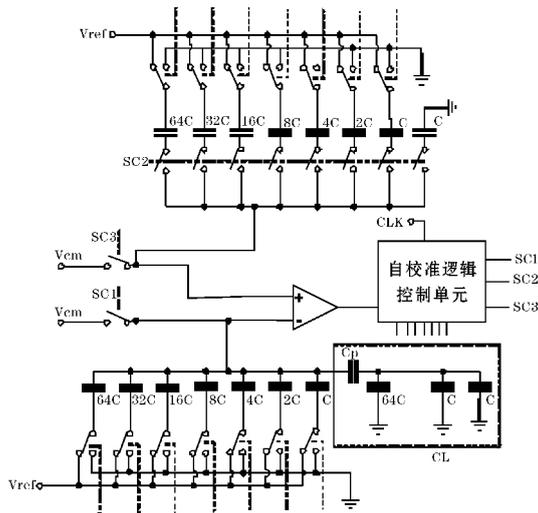


图 4 失配电容自校准电路示意图

比较器的同相端和反相端增添了由第一校准信号 SC_1 控制和第三校准信号 SC_3 控制的连接共模电平 V_{cm} 的开关通路,而 CDAC 的高四位,也增设了可受自校准逻辑控制单元位信号控制的开关,以切换其与参考电压 V_{ref} 或 GND 的连接关系。

自校准电容阵列与 CDAC 中的高位电容阵列结构类似,区别特征仅在于自校准电容阵列还包括统一由第二校准信号 SC_2 控制的开关,当复合结构 ADC 工作在正常模式状态下,第二校准信号 SC_2 持续处于低电平状态,使得自校准电容阵列不对逐次逼近的正常工作造成影响;当复合结构 ADC 工作在自校准模式状态下,第二校准信号 SC_2 设置为高电平,从而启用自校准电容阵列。

2.2 自校准原理

所设计的复合结构 ADC 每次上电开机,均先进入自校准模式,完成后进入正常模式。

在自校准模式中,CDAC 中的低位电容阵列下极板始终接地,为了便于描述,本小节将桥式电容及低位电容阵列视为一个整体,并称为 C_L ;同时,将 CDAC 的高位至低位电容依次称为 C_M, C_{M-1}, \dots, C_0 。

第一阶段,将第一校准信号 SC_1 设为高电平,使比较器的反相端与共模电平 V_{cm} 连接;同时,最高位电容 C_M 的下极板接地,除 C_L 外,其余电容的下极板均接 V_{ref} 。此时,CDAC 上存储的电荷量为

$$Q_1 = (V_{cm} - V_{ref}) \cdot \sum_{i=0}^{M-1} C_i + V_{cm} \cdot (C_M + C_L) \quad (3)$$

第二阶段,将第一校准信号 SC_1 设为低电平,使比较器的反相端与共模电平 V_{cm} 断开;而 CDAC 所有电容下极板的连接方式保持不变,假设此时比较器的反相端电压为 V_x ,则 CDAC 上储存的电荷量仍可通过电压推算得出:

$$Q_2 = V_x \cdot (\sum_{i=0}^{M-1} C_i + C_L) + C_M \cdot (V_x - V_{ref}) \quad (4)$$

由于第一个阶段和第二个阶段间,CDAC 电容并没有充放电回路,因此电容储存电荷量不变,由 $Q_1 = Q_2$ 可求得

$$V_x = V_{cm} + V_\varepsilon \quad (5)$$

$$V_\varepsilon = \frac{C_M - \sum_{i=0}^{M-1} C_i}{C_L + \sum_{i=0}^M C_i} \cdot V_{ref} \quad (6)$$

V_ε 即为电容失配电压,在电路设计中,最高位电容 C_M 等于其余电容之和,这种条件下, $V_\varepsilon = 0$,但由于工艺问题,这一条件并不具备,因此, $V_\varepsilon \neq 0$ 。

若按第一阶段、第二阶段的步骤依次进行,并且每一步均通过自校准电容阵列量化误差电压,则可得到 CDAC 阵列中每位电容的失配电压值。

自校准电容阵列每阶段测得的电压 V_{cal}^i 与 CDAC 每一位电容的失配电压值 V_ε^i 的关系为:

$$V_{cal}^M = \frac{1}{2} V_\varepsilon^M \quad (7)$$

$$V_{cal}^i = \frac{1}{2} (V_\varepsilon^i - \sum_{j=i+1}^M V_{cal}^j), \quad i < M \quad (8)$$

通过式(7)和式(8)得到失配电压值,并储存于寄存器中,便可在正常模式下修正测量值^[14]。

3 仿真结果与分析

基于 SMIC130nm 工艺,设计实现了一个 14 位复

合结构 ADC,在模拟电源电压为 3.3 V,数字逻辑电压为 1.2 V,时钟周期为 25 ns 的条件下,通过 Cadence 进行瞬态仿真,得到如图 5 所示的波形。

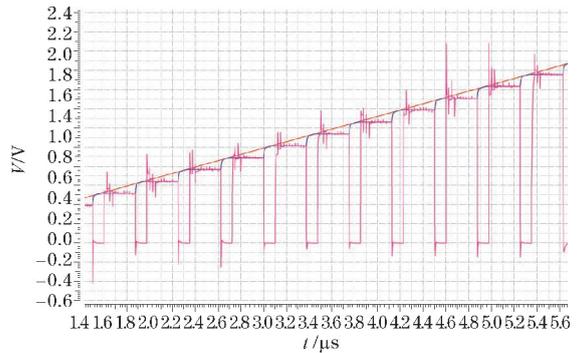


图5 瞬态仿真波形图

从瞬态仿真图中可以直观看出复合结构 ADC 的时序,每一个采样量化周期均为 375 ns,即采样率为 2.6 MHz,采样电容采样保持后,在 FLASH ADC 的辅助下,SAR ADC 只需 11 个逐次逼近周期便可实现 14bit 的量化编码。

为进一步验证复合结构 ADC 的性能,需对 ADC 进行动态仿真。输入频率为 66.65 kHz 的正弦信号,采样 16384 个点,并对仿真结果作快速傅里叶变换 (FFT),结果如图 6 所示。静态仿真结果如图 7 所示。

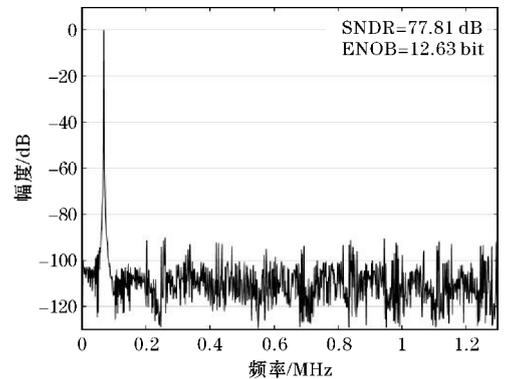


图6 FFT 分析频谱图

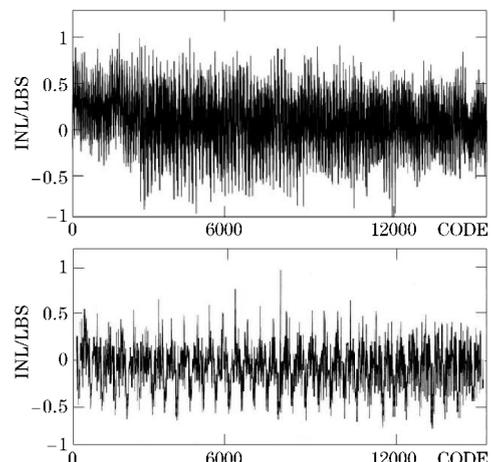


图7 静态性能仿真

可以看出,复合结构 ADC 的信噪失调比 SNDR 为 77.81 dB,有效位 ENOB 为 12.63 bit,微分非线性误差 DNL 为 $+1/-0.8$ LSB,积分非线性误差 INL 为 $+1.2/-1$ LSB。

将设计的 ADC 与其他参考文献相比,比较结果见表 2,可以看出文中设计在达到较高分辨率的同时,在有效精度不逊于其他设计的情况下,可实现相对较高的采样率。

表2 文中与其他文献中的 ADC 参数对比

参数	文献[13]	文献[14]	文献[15]	文中
分辨率/bit	10	12	14	14
采样率/(MS · s ⁻¹)	10	1	1.25	2.6
DNL/LSB	0.5	0.5/-0.25	-	+1/-0.8
INL/LSB	0.8	0.792/-1.048	0.47	+1.2/-1
SNDR/dB	59.77	71	78	77.81
ENOB/bit	9.63	11.5	12.67	12.63

4 结束语

文中设计了一种用于图像采集的复合结构 ADC,采用 FLASH 辅助 SAR 的结构,通过 FLASH 结构量化编码输入信号的高 4 位,并通过高 4 位编码辅助控制 CDAC 开关电容阵列,减少 SAR ADC 逐次比较的周期。为了应对电容失配误差,还设计了自校准电路及算法。仿真结果表明,该 ADC 可实现 14 bit 的分辨率和 2.6 MS/s 的转换速率,且有效位数为 12.63 bit,满足图像传输和图像采集领域所提出的高帧率、高分辨率的要求。

参考文献:

- [1] Carlos L, Gouveia P, Choubey B, et al. On evolution of CMOS image sensors[J]. International Journal on Smart Sensing and Intelligent Systems, 2020,7(5):1-6.
- [2] Gao Zhiyuan, Yang Congjie, Xu Jiangtao, et al. A Dynamic Range Enhanced Readout Technique with a Two-Step TDC for High Speed Linear CMOS Image Sensors [J]. Sensors, 2015, 15 (11): 28224 - 28243.
- [3] Fossum E R. CMOS image sensors; electronic camera-on-a-chip [C]. IEEE, 1997: 1689-1698.
- [4] 倪景华,黄其煜. CMOS 图像传感器及其发展趋势[J]. 光机电信息,2008(5):33-38.
- [5] El Gamal A, Eltoukhy H. CMOS image sensors [J]. Circuits & Devices Magazine IEEE, 2005, 21 (3):6-20.
- [6] Chen C, Chung Y, Chiu C, et al. 6-b 1.6-GS/s flash ADC with distributed track-and-hold pre-comparators in a 0.18 μm CMOS [C]. international symposium on signals, circuits and systems, 2009:1-4.
- [7] Lota J, Al-Janabi M, Kale I. System and Circuit Level Design and Analysis of a 16 Bit Sigma-Delta ADC for a TETRA2 Network Mobile Station Application [C]. Instrumentation and Measurement Technology Conference Proceedings, 2008. IMTC 2008. IEEE, 2008:663-667.
- [8] MaliangLiu, KaixiongLian, Yingzhou Huang, et al. A 12-bit 200MS/s pipeline ADC with 91mW power and 66dB SNDR [J]. Microelectronics Journal, 2017,63:104-111.
- [9] Liu M Q, Harpe P, Dommele R V, et al. A 0.8V 10b 80 kS/s SAR ADC with DutyCycled Reference Generation [C]. IEEE International Solid State Circuits Conference. 2015:278-280.
- [10] Hong H K, Kang H W, Jo D S, et al. A 2.6 b/cycle Architecture based 10 b1.7 GS/s 15.4mW 4×Time Interleaved SAR ADC with a Multistep Hardware Retirement Technique [C]. IEEE International Solid State Circuits Conference. 2015: 470-472.
- [11] Chen Y, Zhu X, Tamura H, et al. Split Capacitor DAC Mismatch Calibration in Successive Approximation ADC [J]. ICE Transactions on Electronics, 2010(3):295-302.
- [12] Boylestad Robert L. Introductory Circuit Analysis [M]. 北京:高等教育出版社,2002.
- [13] 邓红辉,汪江,周福祥.一种基于 65 nm CMOS 工艺的 10 位 10 MS/s SAR ADC [J]. 微电子学,2017,47(3):298-303.
- [14] 徐亮,代志双,谢亮,等.一种 12 位 1 MS/s 数字自校准 SAR ADC [J]. 微电子学,2019,49(3): 320-325.
- [15] LYU B, LU W, YANG S, et al. A self-adaptive digital calibration technique for multi-channel high resolution capacitive SAR ADCs [C]. IEEE Int Conf ASIC. Guiyang, China, 2017:730-733.

A Composite Structure ADC for Image Acquisition

ZENG Xue, GUO Han, CHEN Gong

(College of Communication Engineering, Chengdu University of Information Technology, Chengdu 610225, China)

Abstract: In consideration of the increasing demand of frame rate and resolution in the field of image transmission, an application-specific integrated circuit (ASIC) for image acquisition is designed. The circuit is a digital-analog hybrid 14 bit composite structure ADC. It uses the structure of flash assisted SAR. The high 4 bits of input signal are quantized and encoded by flash ADC, and the switch capacitor array of CDAC is controlled by high 4 bit encoding to reduce the period of SAR ADC successive comparison. In order to deal with the capacitor mismatch error, a self calibration circuit and algorithm are designed. Based on smic130nm technology, the simulation is carried out under the condition of supply voltage of 3.3 V, digital logic level voltage of 1.2 V and conversion rate of 2.6 MS/s. The results show that the DNL of the ADC is $+1/-0.8$ LSB, the INL is $+1.2/-1$ LSB, the SNDR is 77.81 dB and the ENOB is 12.63 bit, which meets the requirements of high frame rate and high resolution in the field of image transmission and image acquisition.

Keywords: ASIC; digital and analog mixed signal IC; image acquisition; composite ADC; self calibration