

文章编号: 2096-1618(2023)02-0136-06

基于FPGA的多通道高速数据采集系统设计

李明华¹, 李兴华¹, 李镇江², 邱国星¹

(1. 成都信息工程大学电子工程学院, 四川 成都 610225; 2. 中国电子科技集团有限公司第十研究所, 四川 成都 610036)

摘要:为满足宽带中频接收机实现多通道、高速同步采集的需求,提出一种基于FPGA的多通道高速数据采集系统设计方案。系统采用Vertix7系列FPGA芯片作为主控芯片,通过SPI接口同时对4片宽带中频接收器AD6674进行控制,实现8路模拟信号的采集,并通过JESD204B协议完成8路数据的实时接收;AD输入前端采用无源的方式,将模拟输入的单端信号转成差分信号,抑制无用的宽带噪声。系统中采用时钟同步芯片AD9549、时钟扇形缓存器ADCLK950等解决系统内部时钟抖动以及多通道同步问题,为保证多通道同步数据的采集传输提供了解决办法。对整个系统进行功能测试,验证了方案的可行性。

关键词:宽带A/D; JESD204B; 多通道; 时钟同步

中图分类号: TN432

文献标志码: A

doi: 10.16836/j.cnki.jcuit.2023.02.002

0 引言

随着科学技术的发展,数据采集已广泛应用于国防、卫星、雷达等设备上,在带宽、采样率、高精度等方面的要求越来越高^[1],一些常规的基于低速A/D采样的数字接收机无法满足实际工作的需求,因此如何实现高速、大带宽、多通道同步的数据采集变得非常重要。

目前,国内外高速采集系统大多采用多个A/D芯片并行实现多通道数据采集^[2],这些A/D芯片大多采用JESD204B接口进行高速数据传输。相比传统LVDS接口,JESD204B高速串行接口具有带宽高、硬件资源占用少等特点,最高传输速度高达12.5 Gbit/s,成为高速数据采集领域常用的数据传输接口^[3-4]。

针对多通道宽带数字接收机的设计需求,本文设计了一种8通道的高速数据采集系统,每个通道都能单独实现480 MHz采样率、14 bit分辨率的数据采集。系统采用FPGA作为主控芯片,使用4片宽带接收器AD6674实现模拟信号的采集,每片AD6674完成2路数据采集,内部采用基于高速SERDES的JESD204B接口进行数据传输,使得串行接收数据率高达9.6 Gbit/s。系统同步通过同一时钟分配和时钟同步模块保证多芯片间的时钟一致,并利用JESD204B协议子类1的确定性延迟,保证数据传输过程中不同通

道数据的同步,有效地提高多通道数据采集精度。

1 系统总体设计

如图1所示,系统大致分为4个模块:信号调理模块、宽带A/D采集模块、时钟同步模块和高速数据接收处理模块。

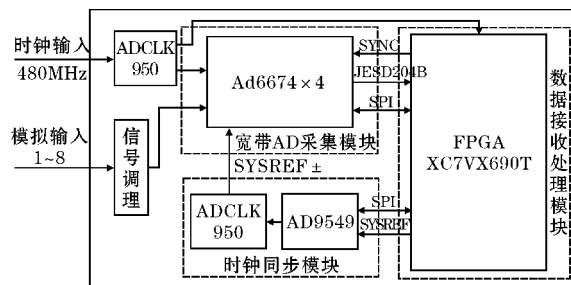


图1 系统总体设计框图

采用FPGA芯片为Xilinx公司Vertix7系列的XC7VX690T,该芯片含有大量的IO接口以及GTH高速收发器,A/D采集的数据利用JESD204B协议进行传输,数据输出通道与GTH高速收发器相连,数据按照串行方式传输,可以减少数据传输时对IO管脚的需求^[5]。选用4片AD6674宽带中频接收器来实现8通道的数据采集。选用时钟同步芯片AD9549,利用内部的数控环路和保持电路,可以产生低抖动的输出时钟。选用时钟扇形缓存器ADCLK950将一路时钟扩展成4路同步时钟,产生两组信号分别是基准SYSREF时钟和采样时钟。

系统的主要性能指标如表1所示。

收稿日期:2022-06-16

基金项目:国家自然科学基金资助项目(41575022);四川省自然科学基金资助项目(2022NSFC0214)

通信作者:李镇江. E-mail: lizhenjiang_007@163.com

表 1 主要性能指标

指标	指标值
分辨率	14 位
采集通道数	8 路
输入时钟频率	480 MHz
输入时钟功率	5±0.5 dBm
ADC 采样速率	480 MSPS
中频输入频率	280 ~ 470 MHz
中频输入功率	-60 ~ 5 dBm
通道幅度一致性	≤1 dB

该采集系统具有如下特点:(1)采用宽带中频接收器 AD6674,实现大带宽、高采样率的数据采集。(2)FPGA 采用 GTH 接口与 A/D 芯片输出数据通道直接相连,利用 JESD204B 协议实现数据的高速传输,并通过子类 1 的确定性延迟确保多路数据的同步。(3)系统采用 AD9549 和 ADCLK950 等时钟芯片,实现多芯片间的时钟同步,有效地解决了多通道数据同步问题。

2 硬件系统设计

2.1 信号调理模块

在高速采集系统中,A/D 的前端输入电路设计是非常重要的,需要考虑阻抗匹配、噪声抑制等因素的影响^[6-7]。因此信号输入调理电路采用无源的方法,实现将输入的单端中频信号转换差分方式驱动模拟输入,主要由巴伦及匹配滤波电路两部分组成,如图 2 所示。

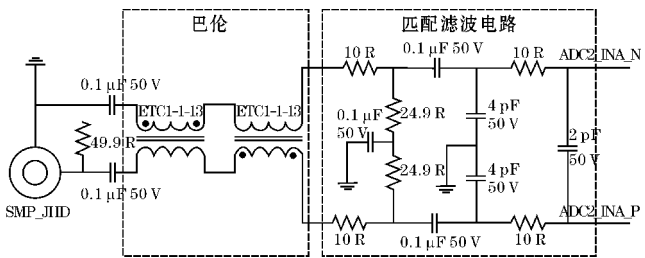


图 2 信号调理电路

通过 SMP-JHD 接口输入模拟信号后,首先采用两片 E 系列变压器 ETC1-1-13 实现单端转换成差分模拟信号,来保证低范围至中间范围的频率。该变压器是 1 : 1 传输,频率范围是 4.5 MHz ~ 3 GHz。然后再通过匹配滤波电路在输入端形成一个低通滤波器,用于滤除无用的宽带噪声。

2.2 宽带 AD 采集模块

采用的宽带 A/D 采集芯片为 AD6674,是一款大带宽的中频接收机,内部含有双通道,14 位 1.0GSPS/

750MSPS /500MSPS 模数转换器和各种数字处理模块,包含 4 个宽带 DDC、1 个 NSR 和 VDR 监控,能够实现高达 2 GHz 的宽带宽模拟信号采样,具有宽输入带宽、高采样速率、低功耗等特点。

FPGA 与 AD6674 的电路连接图如图 3 所示。XC7VX690T 使用 3 线 SPI 总线与 AD6674 进行通信,实现芯片参数的配置,它与 FPGA 之间的接口主要有 SPI 接口(SDIO、SCLK、SCB)、控制接口(PDWN)、时钟接口(SYNC、SYSREF、ADC_CLK)、通道输出检测接口(FD_A、FD_B)、数据输出接口(SERDOUT0、SERDOUT1)。此外还有外部输入的 A/D 时钟(ADC_CLK)、同步时钟(SYSREF)以及模拟信号输入端口(AD_INA、AD_INB)。

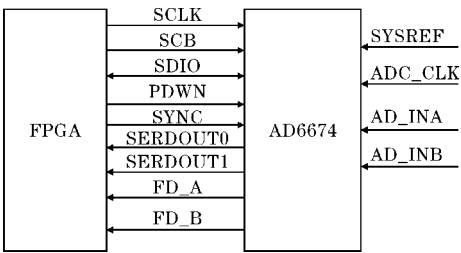


图 3 数模转换电路硬件连接图

系统要实现 8 路数据的采集,使用 4 片 AD6674 芯片,即每个芯片输出两路信号,使用同一个 SYSREF 信号,确保 4 片 A/D 芯片的器件同步。外部信号源输入频率为 480 MHz 的信号,作为模数转换器 ADC 的输入时钟频率(即 ADC_CLK = 480 MHz),芯片内部抽取率设为 1,可以实现 480MSPS 的采样率。FPGA 通过 SPI 总线对 A/D 芯片进行配置,配置成功后,AD6674 的数据输出管脚直接与 XC7VX690T 芯片的 GTH 接口直接相连,ADC 的 SERDOUT0 和 SERDOUT1 管脚作为发送端,FPGA 的 GTH 接口作为接收端,最后通过 JESD204B 协议将采样数据传输给 FPGA 内部中,留给下级进行处理。

2.3 时钟同步模块

在进行多通道数据同步采集时,关键在于如何保证多通道之间数据的同步传输^[8]。因此在设计之初,采用许多时钟芯片保证多芯片间的时钟同步,如 AD9549、ADCLK950 等芯片,通过 FPGA 器件时钟、AD6674 内部采样时钟和基准 SYSREF 时钟^[9],确保模数转换器的同步采集与数据传输。

首先要保证多片 A/D 芯片间的数据输出一致性,使用一个频率为 480 MHz 的时钟源,通过时钟扇形缓存器 ADCLK950 将其分成 4 路信号输出给 4 片 A/D 芯片,作为芯片的采样时钟。然后生成 AD6674 的设备基准 SYSREF 时钟,接收 FPGA 传来的差分信号 SYSREF,通过 AD9549 芯片进行采样保持,提高时钟

输入信号的稳定性,然后通过 ADCLK950 扇形时钟缓冲器,将 AD9549 产生的信号转换成 4 路同步时钟信号,用于同步 4 片 AD6674 芯片,保证芯片之间的时钟是同步的。AD9549 与 FPGA 间也是通过 SPI 进行通信,具体结构如图 4 所示。

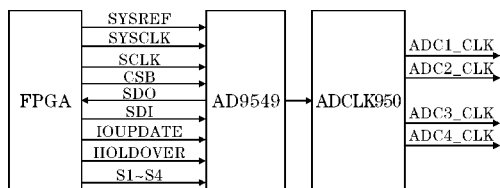


图4 时钟同步电路硬件连接图

2.4 高速数据接收处理模块

FPGA 是采集系统的核心处理单元,在采集系统正常工作之后,如何保证 FPGA 能够正常接收数据成为关键问题,本方案使用 JESD204B 协议实现数据接收处理,数据接收处理模块如图 5 所示。

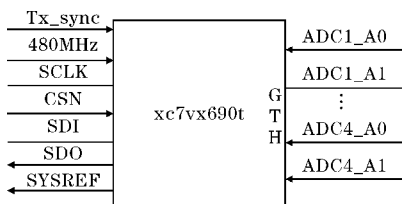


图5 接收处理模块的连接图

在芯片选型过程中,最主要的因素是内部的逻辑资源和 JESD204B 接口需求这两个方面^[10],因此 FPGA 采用的型号为 xc7vx690tffg1158,该产品具有 80 对 GTH 接口,有着丰富的 IP 资源,尤其是设计中采用的 A/D 芯片内部集成了支持 JESD204B 协议的发送接口,因此需要在 FPGA 内部调用 JESD204B 接收 IP core (RX),可以大大提高开发效率。GTH 高速接口与单个 A/D 板之间有 8 条数据链路 (ADC1_A0、ADC1_A1、...、ADC4_A0、ADC4_A1)。

在数据接收处理模块中,主要实现的是 JESD204B 协议的数据链路层,因此在接收模块中,关键是如何在数据链路层建立连接^[11-13],具体建链过程主要分为 3 个环节,如图 6 所示。

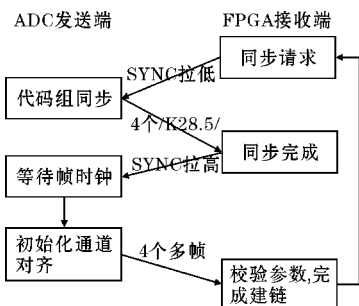


图6 JESD204B 建链过程

当参数配置完成后,A/D 和接收端根据 SYSREF 信号,开始判断内部时钟是否对齐。对齐之后,A/D 内部检测接收端发送的 SYNC 同步信号已经拉低后,会在下一个多帧时钟的上升沿开始代码组同步 (CGS) 过程。

当接收端接收到 4 个来自 A/D 的 K28.5 连续字符后,就会将 SYNC 信号拉高,然后在下一个 LMFC 边界开始初始化通道同步 (ILAS) 阶段,发送 4 个初始化多帧。

当接收端收到 4 个初始化多帧后,校对完成就会开始进行数据传输,在数据传输过程中,根据链路的配置决定是否对特定数据进行字节替换,保证对齐和多帧对齐。

3 软件系统设计

3.1 软件系统框图及流程

系统的软件设计主要包含锁相环模块、AD9549 配置、AD6674 芯片配置,以及 JESD204B IP core 配置、控制模块、AXI 读写模块等关键模块。软件结构如图 7 所示。

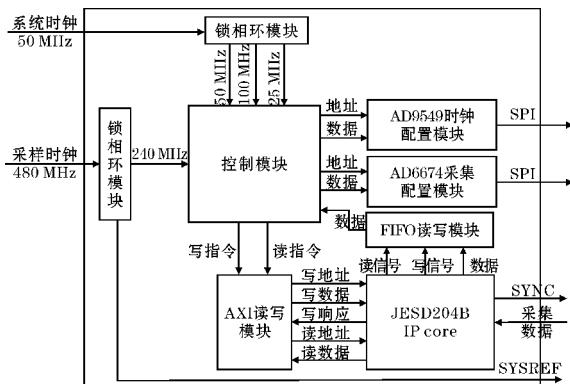


图7 软件结构框图

在进行软件程序设计时,使用外部晶振产生的 50 MHz 作为系统时钟,输入到锁相环模块。该锁相环主要产生系统内需要的 3 种时钟信号,频率分别是 50 MHz、100 MHz、25 MHz。其中 50 MHz 作为系统内时钟,100 MHz 作为 AXI 总线的读写时钟,25 MHz 提供给 AD9549 和 AD6674 作为写入信号时钟源。此外还使用一个外部信号源,输入 480 MHz 的信号作为 A/D 采样时钟,通过锁相环产生 JESD204B 所需的工作时钟 240 MHz 以及同步时钟 SYSREF 信号。

AD9549 时钟配置模块和 AD6674 采集配置模块分别实现 FPGA 与 AD9549 和 AD6674 的通信,将控制模块传来的地址和数据通过 4 线 SPI 接口写入芯片内对应的寄存器,完成芯片的初始化。

JESD204B IP core 主要实现 JESD204B 协议,完成数据的串并转换接收。其中 IP 核内部的具体参数如 (N、S、M 等)通过 AXI 读写模块向对应的地址写入数据,实现 IP 的初始化。IP 核的数据输出位数为 32 位,包含两组数据,数据率为 240 MHz,与实际速率不匹配。本文采用 FIFO 读写模块实现数据的跨时钟域处理,将输入的 32 位数据在 FIFO 里缓存,分成两组 16 位数据输出,实现内部数据率的匹配。

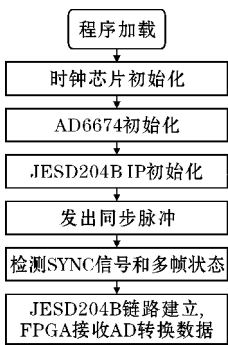


图 8 系统软件工作流程图

系统软件处理流程如图 8 所示。上电复位后,FPGA 首先配置板卡上的各芯片,如 AD9549 时钟芯片、FPGA、

AD6674 等芯片的配置及 JESD204B IP 核的初始化。当板卡配置成功后,FPGA 先产生同步时钟信号和基准信号,确保 A/D 和接收端的时钟相位一致,然后 ADC 开始检测 SYNC 是否拉高和多帧的状态。当接收端接收到 4 个初始化多帧时,证明 JESD204B 已经建链成功,数据就可以从发送端送到 FPGA 内部。

3.2 AD6674 芯片参数配置

使用的 AD6674 芯片通过 SPI 总线进行配置。常用的 3 线 SPI 配置时序如图 9 所示。

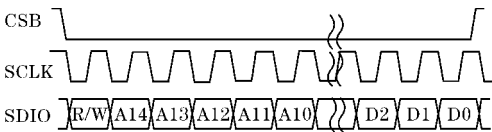


图 9 SPI 时序图

为满足采集系统的采集数据分辨率能够有 14 位,需要将 AD6674 配置成 DDC 模式。在芯片的配置过程中,JESD204B 的参数配置尤为重要,是保证 JESD204B 建链的关键。在芯片手册里,给出了 JESD204B 快速配置的参数列表,如表 2 所示。

表 2 JESD204B 快速配置列表

支持的虚拟 转换器数 (与 <i>M</i> 值相同)	JESD204B 快速配置 (寄存器 0x570)	JESD204B 串行通道 速率	JESD204B 传输层设置								<i>K</i> 3
			<i>L</i>	<i>M</i>	<i>F</i>	<i>S</i>	HD	<i>N</i>	<i>N'</i>	CS	
2	0x0A	40xfout	1	2	4	1	0	8 ~ 16	16	0 ~ 3	只有被 4 整除的 有效 <i>K</i> 值
	0x49	20xfout	2	2	2	1	0	8 ~ 16	16	0 ~ 3	
	0x88	10xfout	4	2	1	1	1	8 ~ 16	16	0 ~ 3	
	0x89	10xfout	4	2	2	2	0	8 ~ 16	16	0 ~ 3	

由于 AD6674 输入时钟为 480 MHz,为保证采样速率为 480MSPS,因此芯片抽取率为 1,使用了两个转换器 ADC ($M=2$) 和 2 个通道 Lane ($L=2$),故将寄存器 0x570 配置成 0x49,每帧的 8 位字数为 2 ($F=2$)。SERDOUT0 传输来自 ADC0 采集到数据,SERDOUT1 传输来自 ADC1 采集到数据,数据采集后的数据输出时序,如图 10 所示。

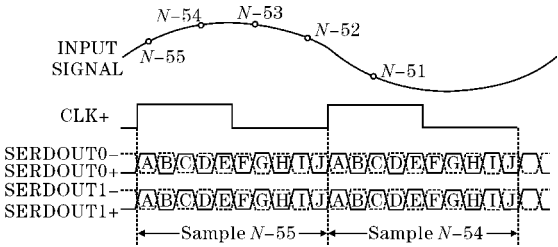


图 10 数据输出时序图

根据芯片手册所述,链路速率关系式如下:

$$\text{Lane Line Rate} = \frac{(M \times N' \times (\frac{10}{8}) \times f_{\text{OUT}})}{L}$$

其中:

$$f_{\text{OUT}} = \frac{f_{\text{ADC_CLK}}}{\text{Decimation Ratio}}$$

式中: M 为转换器数, N' 为分辨率, L 为链路数, $f_{\text{ADC_CLK}}$ 为 ADC 采样速率,Decimation Ratio 为芯片抽取率, f_{OUT} 为输出采样速率。根据这些参数和公式,可以算出 JESD204B IP 核所需要设定的通道线速率为 9.6 Gb/s。

3.3 JESD204B IP 接收模块

AD6674 芯片的数据接收主要通过 JESD204B 协议来实现,利用 Xilinx 公司的 IP 核来实现 8 通道的数据同步传输,通过 IP 核实现 JESD204B 协议的数据链路层,该模块的设计主要包含时钟的配置、参数设置以及完成接收通道数据的接收、数据检测。在设计时,首先将 IP 设置为接收模式,将链路配置成 8 Lane,然后根据 A/D 端设置的 JESD204B 参数,将线速率设置为 9.6 Gb/s,参考时钟 (ref-clk) 为 480 MHz,Subclass1 工作模式。

JESD204B IP 核的链路参数设置是实现串行数据

接收的关键,需要保证接收端与 A/D 发射端的参数一致。本文设计了 AXI 读写模块,负责用户与 JESD204B IP 核之间的数据通信,根据 A/D 芯片所配置参数(L 、 M 、 F 、 N 、 N' 、 CF 等),将这些参数值写入 JESD204B IP 核内,当接收端和发送端的参数一致时,才能在数据链路层建立连接。

JESD204B IP 核内部的采样数据在串并转换后,在全局时钟下输出的 32 位数据,即 IP 核的数据输出时钟 RXCLK 是 240 MHz,由于参数 F 设置为 2 以及 A/D 的采样率为 480 MSPS,可以发现 IP 核输出的 32 位数据包含了两组 16 位的数据。因此本设计采用异步 FIFO 来实现跨时钟域处理^[14]。该 FIFO 的输入时钟的频率为 240 MHz,输入端的数据为 JESD204B 逻辑输出的 32 位波形数据。输出端时钟是 IP 核的参考时钟 480 MHz,输出端的数据是 16 位的波形数据,因为 FIFO 两端的读写速度不一样,写入一个数据分成两个时钟读出,将 32 位进行拆分就可以得到采样数据。

经过处理后的 16 位数据,实际有效位只有 14 位,还包含 2 位无效数据或控制位,在进行数据处理时,需要将其去掉。输出数据的格式如图 11 所示。



图 11 输出数据格式

4 性能测试

测试时使用信号源产生 480 MHz 的时钟,将其输入到采集板上,然后使用标准信号源生成一路测试信号,分成 2 路模拟信号,输送到任意 2 个信号输入端口^[15]。测试主要分为以下两步:(1)通过 ILA 监测 JESD204B 的数据接口,测试是否正确接收到数据。(2)任选两路数据,验证不同通道之间数据的幅度一致性。

通过数据逻辑分析仪 (ILA) 观察接收数据的波形 (图 12),当 rx_sync 拉高,代表接收端与 A/D 的发送端已同步上,此时已正确接收到数据。该 ILA 的采样时钟为 240 MHz,很明显可以观察到该正弦波的频率为 5 MHz,与实际波形一致。

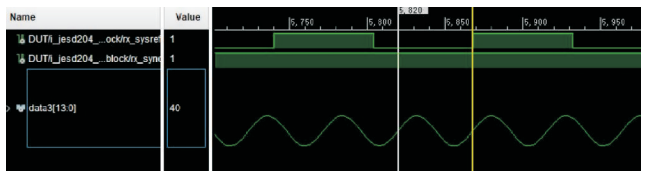


图 12 ADC 采集信号时域波形

任选两路通道验证双通道数据的幅度一致性,将 A/D 采集到的数据经过 FFT 数据处理分析。表 3 为采集不同频点的正弦波的峰值功率差,可以发现不同频点下的信号的峰值功率差皆小于 1 dB,符合设计需求。

表 3 不同频点下的峰值功率差			
不同频点	峰值功率差/dB	不同频点/MHz	峰值功率差/dB
100 kHz	0.2068	8	0.0923
290 kHz	0.0340	10	0.1161
500 kHz	0.118	15	0.0449
750 kHz	0.0264	20	0.073
790 kHz	0.0373	25	0.0804
1 MHz	0.1117	30	0.102
2 MHz	0.0217	35	0.0301
4 MHz	0.0183	80	0.0119
5 MHz	0.0344	100	0.0274

5 结束语

本文设计的基于 AD6674 的宽带高速 A/D 数据采集系统,实现了大带宽、高采样率的数据采集,并通过设计硬件系统和时钟同步模块,实现多通道间的数据同步;利用 JESD204B IP 成功建立了 JESD204B 链路,保证了数据的准确接收和分析。

通过对多通道、大带宽等多次数据的测试,可以看出多通道之间采集数据的幅度具有较好的一致性,还能实现大带宽的数据采集。测试结果表明利用宽带接收机以及配置相应的时钟模块和 JESD204B 协议可以实现宽带高速采集系统,验证了方案的可行性,为宽带接收机的 A/D 采集系统的实现提供了保障。

参考文献:

[1] 赵丹,何帅,肖香彬.基于 JESD204B 协议的宽带 ADC 同步采集[J].信息记录材料,2019,20(8):163-164.

[2] 陈东.一种基于 JESD204B 协议的板内、板间数据采集同步技术的实现[J].数字技术与应用,2022,40(3):161-164.

[3] 饶嘉成,黄明,汪弈舟,等.基于 LVDS 的并行高速 AD 接口逻辑设计与实现[J].工业技术创新,2020,7(4):58-62.

[4] 陈洋,俞育新,奚俊.基于 JESD204B 协议的相控阵雷达下行同步采集技术应用[J].雷达与对

- 抗,2015,35(2):38-41.
- [5] 刘宁宁,王传根,王乐,等. 基于 JESD204B 协议的多通道高速采集系统设计[J]. 电子信息对抗技术,2021,36(2):83-87.
- [6] 樊敏. 高速 AD 接口技术——高速 AD 采集的设计与实现[J]. 科技创新导报,2015,12(15):41.
- [7] 和爽,王红亮. 基于 JESD204B 的射频信号高速采集系统设计[J]. 电子器件,2020,43(1):124-127.
- [8] 孙维佳,伍小保,范欢欢. 基于 JESD204B 协议的雷达多通道同步采集实现[J]. 电子技术与软件工程,2019(12):121-123.
- [9] 蒋世健. 12.5 GSPS 高速数据采集模块设计与实现[D]. 成都:电子科技大学,2020.
- [10] 桂宪满. 多路宽带 AD 采集的 FPGA 设计[D]. 西安:西安电子科技大学,2020.
- [11] 李海涛,李斌康,田耕,等. 基于 JESD204B 的 1 GS/s、16-bit 数据采集系统研究[J]. 电子技术应用,2021,47(4):126-131.
- [12] 谢金源. 一种双通道 10GSPS 采样率高速数据采集系统设计[D]. 成都:电子科技大学,2020.
- [13] 王鲍,张雄杰,胡斌,等. 高精度 AD 采集卡性能测试及评价方法研究[J]. 中国测试,2022,48(2):135-140.
- [14] 冉焱,席鹏飞. 基于 JESD204 协议的高速串行采集系统[J]. 电子科技,2015,28(5):17-19.
- [15] 王松明. 基于 JESD204B 标准的多通道数据同步传输设计[J]. 现代雷达,2019,41(8):60-64.

Design of Multi-channel High-speed Data Acquisition System based on FPGA

LI Minghua¹, LI Xuehua¹, LI Zhenjiang², QIU Guoxing¹

(1. College of Electronic Engineering, Chengdu University of Information Technology, Chengdu 610225, China; 2. CETC10, Chengdu 610036, China)

Abstract: In order to realize multi-channel and high-speed synchronous acquisition in wideband IF receiver, a design scheme of wideband and high-speed data acquisition system based on JESD204B is proposed. The system adopts Vertex7 series FPGA chip as the main control chip, which can control four wideband intermediate frequency receivers AD6674 at the same time, realize 8 channels of analog signals acquisition, and complete the 8 channels real-time data reception of through the JESD204B protocol; the clock synchronization chip AD9549 and clock sector cache ADCLK950 are used to solve the internal clock jitter and synchronization problems in the system, and provide solutions for ensuring the acquisition and transmission of multi-channel synchronous data. The whole system is functionally tested to verify the feasibility of the scheme.

Keywords: wideband A/D; JESD204B; multichannel; clock synchronization