

基于真单向时钟正沿触发寄存器的边沿触发器设计

朱宏宇, 聂海

(成都信息工程大学通信工程学院, 四川 成都 610225)

摘要:针对锁相环电路中鉴频鉴相器(PFD)和分频器传输速度的问题,设计搭建了一种基于真单向时钟正沿触发寄存器(TSPC)的边沿触发器。实现了在1 GHz频段高速传输的功能,且结构简单、传输延迟短和功耗低等优点。传统的主从式D触发器(MS DFF)采用多个传输门和反相器级联的结构,传输延迟大且有较大的传输功耗,锁相环电路也因此受到极大的限制;而基于TSPC的D触发器采用动态逻辑架构,将传输的数字信息储存于动态刷新逻辑中,以极简单的结构和较少的晶体管实现了信息储存和传输的功能。在仿真软件中对两种结构的DFF分别进行仿真,仿真得出所设计的TSPC DFF在500 MHz频率下传输延时为70 ps,而传统MS DFF在同样环境传输延时为120 ps,TSPC DFF较于MS DFF在高频传输下有着明显的优势。

关键词:TSPC;MS DFF;动态刷新逻辑;高频;低传输延迟

中图分类号:TN432

文献标志码:A

doi:10.16836/j.cnki.jcuit.2024.06.002

0 引言

锁相环(phase locked loop, PLL)电路作为一种典型的反馈控制电路,是集成电路中的重要部件。目前,随着技术的发展,锁相环电路被广泛应用于通信技术领域。其中,作为影响锁相环电路工作速度最重要的组成部分D触发器起到了时钟同步和信号传输的作用,直接影响着锁相环电路的传输速度。现在的锁相环电路是基于传统主从式D触发器设计的,传统的主从式D触发器传输延迟大、传输速度慢;同时在高频时输出信号极易受到混叠,限制了锁相环的频率捕获范围。

本文设计了基于真单向时钟(TSPC)^[1]正沿触发器的D触发器,其具备较小的传输延时和较快的传输速度,且最高工作频率可达1 GHz,满足现阶段锁相环电路的需求。对所设计的触发器电路与传统主从式触发器进行比较,通过结构和仿真结果分析其优缺点,根据实际应用情况提出设计所需考虑的点并给出可行的解决方案。

1 Master-Slave DFF 和 TSPC DFF 的结构和基本原理

1.1 Master-Slave DFF

Master-Slave DFF,主从式D触发器,称为传输门

构成的D触发器^[2]。

如图1所示,2个D锁存器级联,则构成典型的CMOS主从D触发器;由INV1、INV2和SW2组成的锁存器称为主锁存器,由INV3、INV4和SW4组成的锁存器称为从锁存器。主锁存器与从锁存器的使能信号相位相反,即在同一时间主锁存器和从锁存器只有一个导通,利用2个锁存器的交互锁存,则可实现存储数据和输入信号之间的传输与隔离。

主从式D触发器由多个传输门和反相器构成,PMOS传输0,NMOS传输1,传输速度受到多级传输门和反相器的传输延时,传输速度较慢,很难胜任高频率时钟信号的传输。

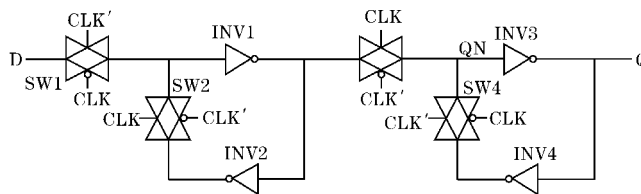


图1 Master-Slave DFF 电路图

1.2 TSPC DFF

主从式D触发器在低频率时钟信号下可实现同步采样的功能,但在高频时钟下,因其传输速度受限,传输易发生混叠导致输出错误^[3]。提出了基于真单向时钟的正沿触发寄存器来解决高频传输的问题。

真单向时钟正沿触发寄存器(position Edge-triggered TSPC register),简称为TSPCR或TSPC,是一类利用动态逻辑电路实现时钟同步采样的触发器^[4],其

中 TSPC (true single-phase clocked) 为真单向时钟计数器。

具有复位功能的动态边沿触发触发器实现功能时只要时钟足够频繁,就可以使用动态逻辑电路(将信息存储在电容中)来制作 D 触发器^[5];虽然不是真正的触发器,但由于其功能作用,仍称为触发器,所以 TSPC 正沿触发寄存器称为 TSPC D 触发器,即 TSPC DFF。

1.2.1 TSPC DFF 的结构

如图2所示,D触发器由四级电路组成^[6]:M1、M2及M3构成反相器电路,用于采样输入信号;M4、M5及M6构成的反相器电路达到预充电的效果;M7、M8及M9构成的反相器电路,取反输出 QN 信号;M10和M11构成最后一级反相器电路,输出 QN 的互补信号 Q。

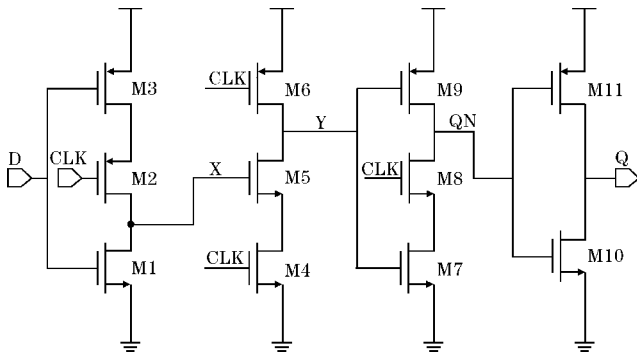


图2 TSPC DFF 电路图

1.2.2 TSPC DFF 的工作原理

当时钟信号 CLK 输入为低电平“0”时,第一级钟控电路相当于一个反相器,该反相器对输入信号 D 采样,经过反相器节点 X 采样得到信号 D 非;第二级电路中由于 CLK 输入为低电平,M6 导通,节点 Y 变为高电平,达到预充电的效果;第三级电路中,CLK 输入为

低电平,M8 未导通而处于高阻浮空状态,节点 QN 电平保持不变;第四级反相器电路取反输出,输出节点 Q 电平也保持不变。

当时钟信号 CLK 输入从低电平变为高电平“1”时,M2 截止,第一级钟控电路不导通工作,节点 X 保持 CLK 为低电平时采样得到的 D 非不变;第二级电路中由于 CLK 输入为高电平,M4 导通,故节点 Y 采样与节点 X 有关,X=1 时 Y 稳定维持 0,X=0 时 Y 浮空维持 1,即 Y 采样值为 X 非;第三级钟控电路相当于一个反相器,节点 QN 取反得到 Y 非;第四级反相器取反输出,Q 则为 Y 也即为 D。

上述过程中,时钟信号 CLK 在一个上升沿中便将输入信号 D 传递到 QN 和 Q,该 TSPC DFF 结构实现了主从式 DFF 的功能,满足实际应用的要求^[7]。

2 仿真结果及结果分析

2.1 TSPC DFF 和 MS DFF 仿真

设计的 TSPC DFF 和传统的 MS DFF 用 virtuoso 仿真软件进行仿真,其仿真电路图如图3和图4所示;仿真所给的输入信号频率将设置为 500 MHz、50 kHz 及 10 kHz 来分别模拟信号传输时的高频和低频传输环境。

2.2 仿真结果

仿真结果如图5和图6所示,图5为 TSPC DFF 和 MS DFF 在输入信号频率为 500 MHz 时的输出波形;图6为 TSPC DFF 和 MS DFF 分别在输入信号频率为 500 MHz、50 kHz 以及 10 kHz 时的输出波形,输入信号为标准的方波信号。

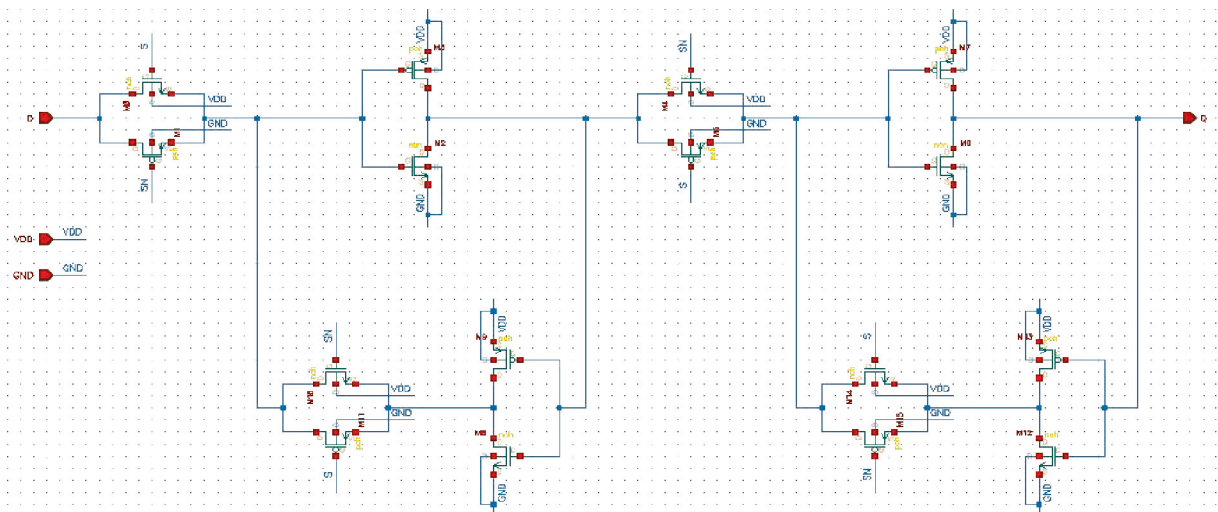


图3 MS DFF 仿真电路图

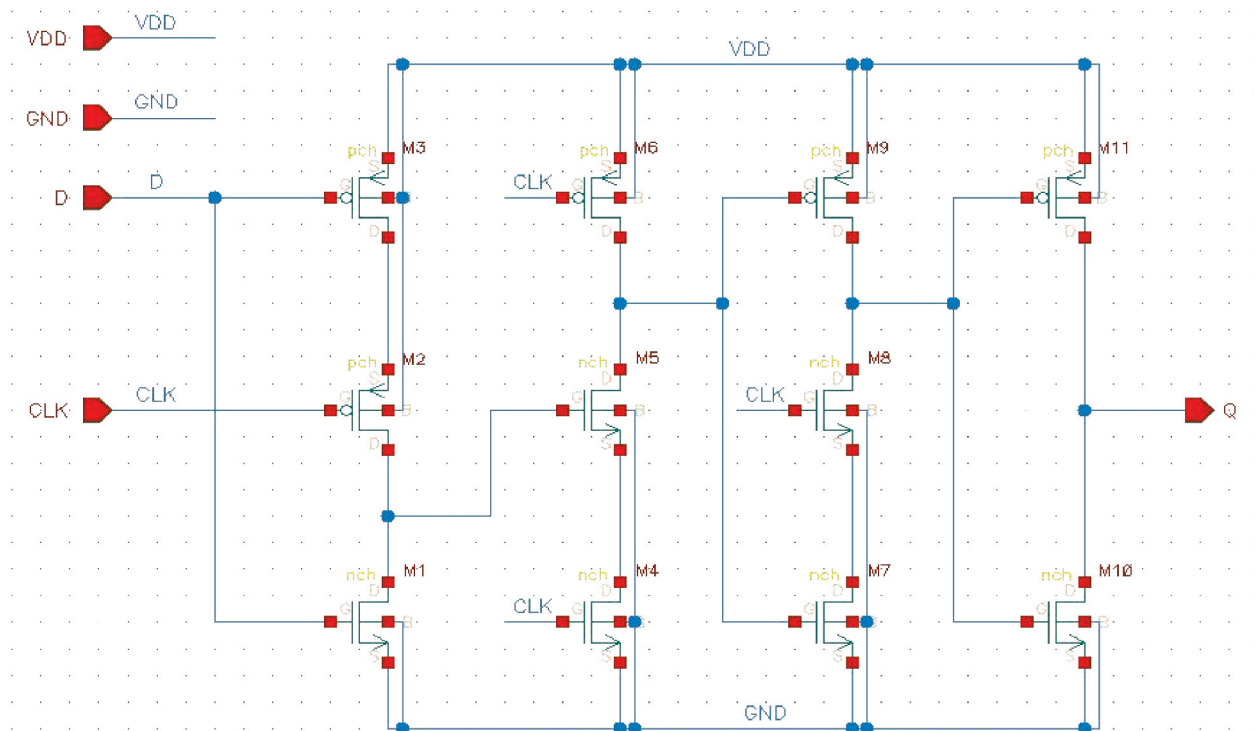
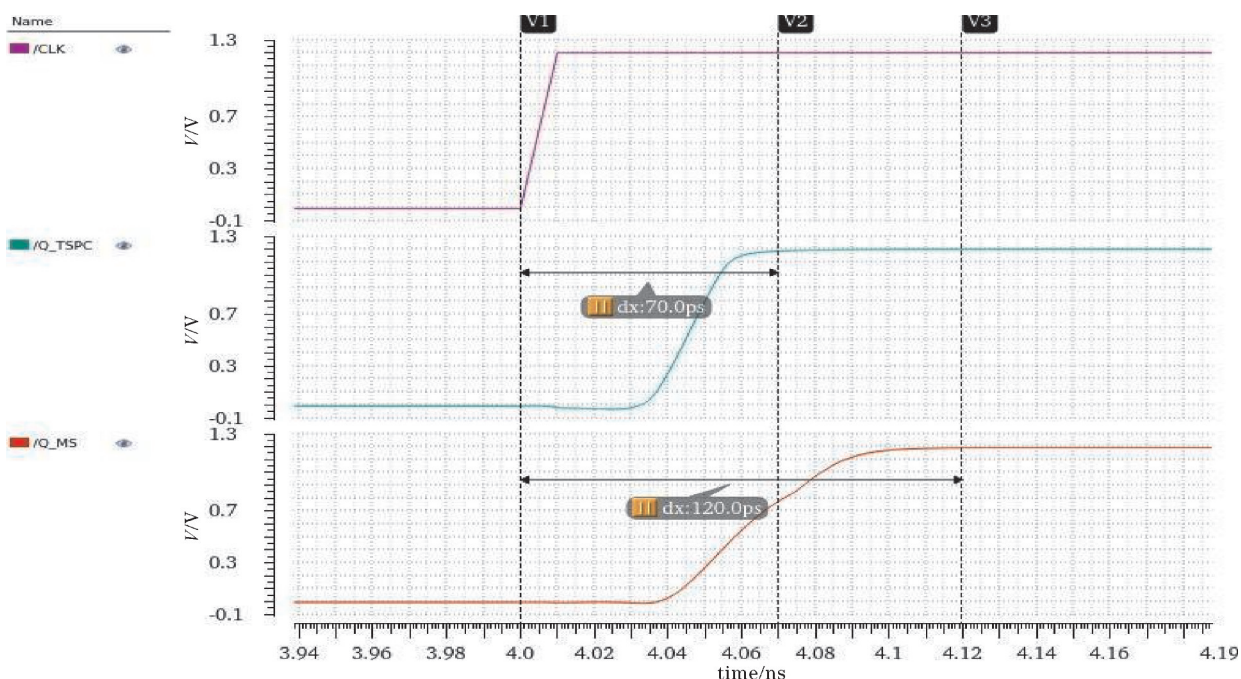
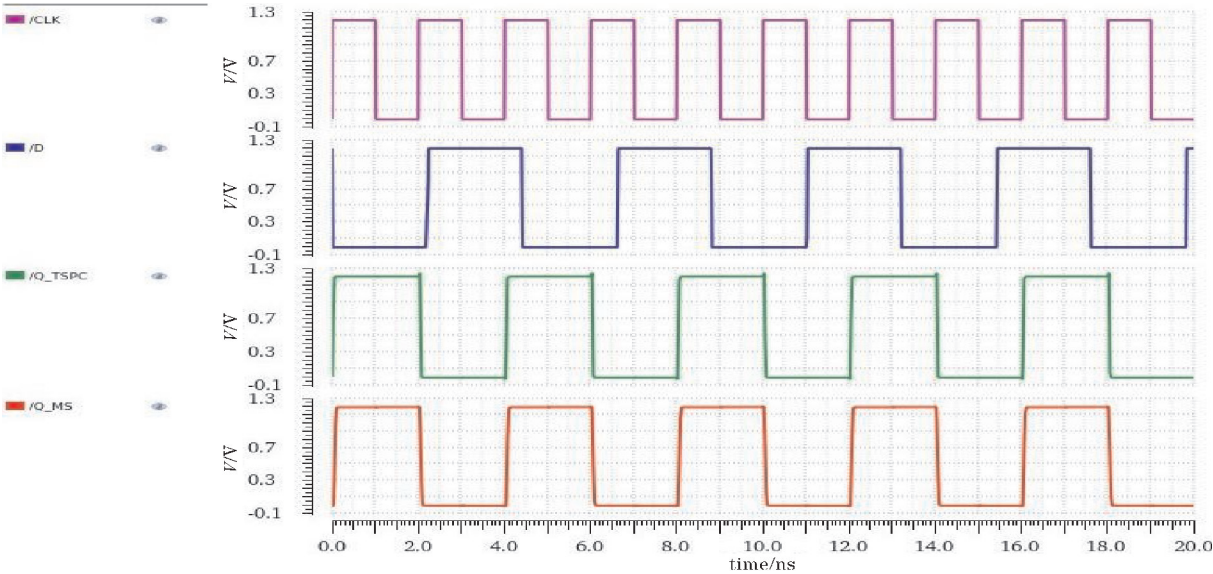


图4 TSPC DFF 仿真电路图

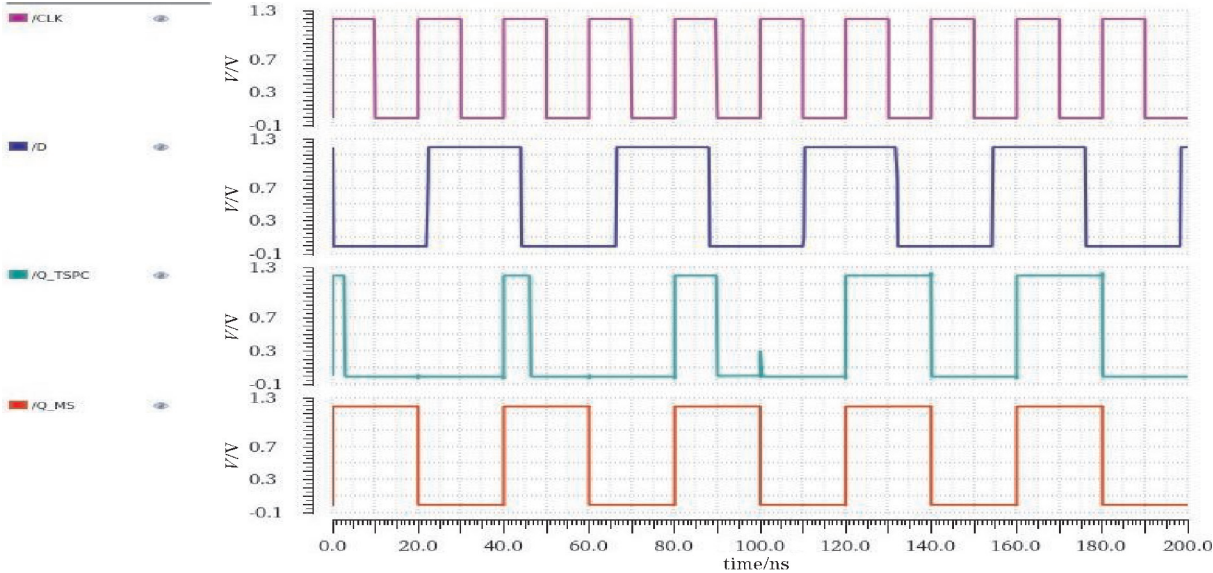
根据仿真结果可看出,在500 MHz下 TSPC DFF 传输延时为70 ps,而 MS DFF 传输延时为120 ps,TSPC DFF 有更快的传输速度和更低的传输延时。在输入频率为500 MHz时,TSPC DFF 和 MS DFF 的输出信号波形都在输入信号上升沿发生跳变,满足所需的边沿采样功能;但在输入频率为50 kHz时,TSPC DFF 输出波形发生错误,无法维持正常波形输出;甚至在更低的输

入频率10 kHz时,TSPC DFF 输出波形逻辑也出现了错误,而 MS DFF 在各个频率下都保持了较好的输出波形。TSPC DFF 在低频下无法维持正常的信号输出甚至还出现逻辑错误,即决定了 TSPC DFF 的工作频率下限,TSPC DFF 不适合在低频工作,故 TSPC 常常用于高频工作^[8]。

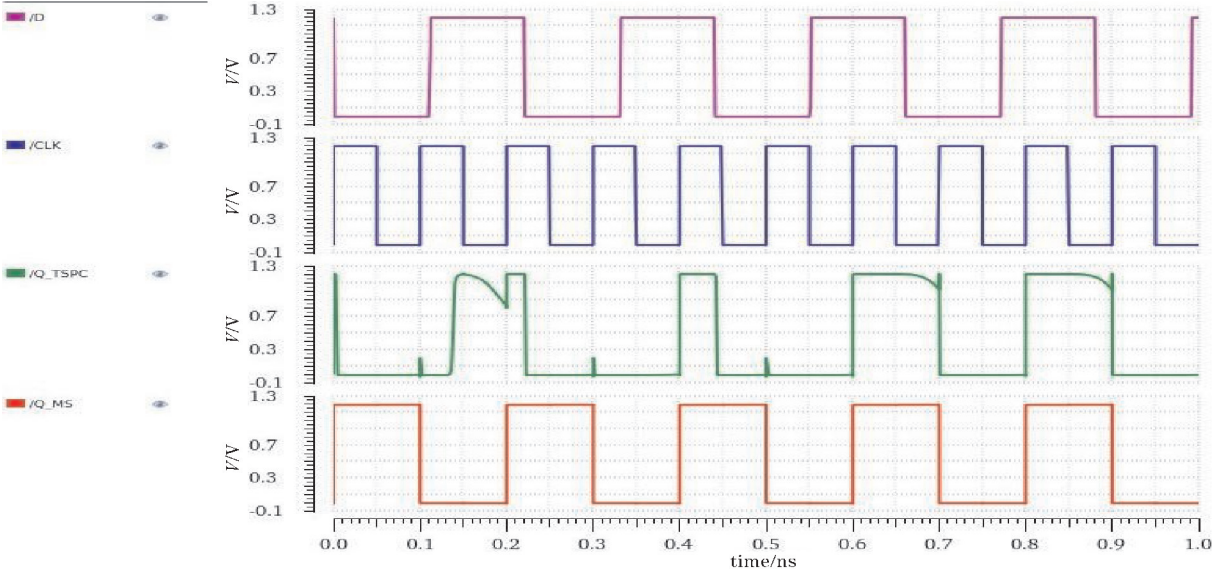
图5 MS DFF 和 TSPC DFF 在 $f=500$ MHz 时的输出波形图



(a) $f=500\text{ MHz}$ 时 TSPC DFF 和 MS DFF 输出波形



(b) $f=50\text{ kHz}$ 时 TSPC DFF 和 MS DFF 输出波形



(c) $f=10\text{ kHz}$ 时 TSPC DFF 和 MS DFF 输出波形

图 6 MS DFF 和 TSPC DFF 在不同输入频率的的输出波形图

2.3 仿真结果分析

2.3.1 TSPC 的优点

(1)管子数目少。TSPC DFF 结构精简,仅用 11 个晶体管,而普通的主从锁存 DFF 需要 22 个晶体管,TSPC DFF 减少了一半的晶体管数量,故占有更少的芯片面积,同时也不需要差分时钟。

(2)传输延迟低。TSPC D 触发器的传输延时仅为 4 个反相器的传输延时,相较于传统主从式 D 触发器要经历多个传输门和反相器,TSPC 架构传输延时显然更低^[9],同时由于电路中元件数目很少,且采用动态逻辑,因此功耗极低。

(3)功耗低。TSPC 架构使用动态逻辑电路传递信号^[10],TSPC 架构的每一级电路几乎都是钟控时钟电路,不同于静态逻辑,钟控时钟电路在无信号通过时是断开的,故没有静态状态下的功率消耗,消耗功耗只发生在时钟信号的传递过程中,在功耗的节省上具有一定的优势。TSPC 架构具备速度快,功耗低的特点,所以在锁相环电路中鉴频鉴相器模块和分频器模块都广泛采用 TSPC 架构的 DFF。

2.3.2 TSPC 的缺点及改进

(1)动态节点浮空。动态节点如果长时间处于浮空状态,动态存储电容上的电荷就会泄露漏电,故在慢速工作状态下会出现逻辑错误。动态节点不应当较长时间处于浮空状态,必须刷新或者钳制到一个已知的电平状态。在高频率时钟状态下,浮空节点刷新很快,基本上不会处于长时间浮空状态,这个频率一般为几百兆赫兹;但是很多电路会设计多种频率工作模式,传输时钟可能处于较低频率,这时就会处于长时间浮空状态。一般解决方法是增加静态反相器进行隔离,增加静态反相器同时必然会带来功耗的增加,所以设计需要在浮空节点和功耗之间折中。

(2)毛刺现象。TSPC 电路为一个多级钟控的结构,当时钟信号驱动电路时,TSPC DFF 传输信号时会因为电路级数太多而造成高电平的减弱。此时高电平就很有可能被电路误认为低电平,造成 D 触发器的输出错误,产生毛刺现象。解决毛刺现象最常用的办法就是使用采样电路来代替信号传输电路,这样就能有效避免多级电路对高电平的减弱,但采样电路比一般的逻辑电路会更加复杂,使用的 MOS 管更多,会明显增加电路的功耗,这也需要在设计时考虑毛刺现象和电路功耗的折中。

(3)时钟信号建立时间的影响。时钟信号 CLK 一般是方波信号,实际方波信号存在信号的建立时间和保持时间,建立时间指信号的上升时间和下降时间。

在传统的主从式 DFF 中,信号的频率不会很高,故一个信号周期内保持时间占很大部分,上升和下降这部分建立时间不会对电路产生影响;但是由于 TSPC DFF 常常在高频工作,这就要求上升和下降时间必须非常小才能不对电路产生影响。为解决时钟信号建立时间造成的影响,可以考虑在 TSPC DFF 电路前加入缓冲级电路对时钟信号 CLK 进行整形^[11],这样输入到 CLK 的时钟信号就是相对更标准的方波信号,可以减弱时钟信号建立时间对输出波形的影响。但是增加缓冲级电路就不可避免地带来了功耗增加的问题,所以设计需要在消除时钟信号建立时间的影响和功耗增加之间进行折中。

3 结束语

针对传统主从式 DFF 传输速率和传输延时的问题,设计了一种基于真单向时钟正沿触发寄存器的 DFF,TSPC DFF 较传统主从式 DFF,优点如下:(1)晶体管数目少,TSPC 结构仅用 11 个晶体管,占有更少的芯片面积;(2)传输延时低,传输延时为 4 个反相器传输延时,无传输门延时;(3)功耗低,TSPC 结构采用动态逻辑,无静态功耗损耗。在锁相环电路中,如果要传输高频信号,鉴频鉴相器模块和分频器模块中的边沿触发器已经不再使用传统的主从式 DFF,而 TSPC DFF 由于其显著的优点已经逐渐替代了主从式 DFF,并成为了现在主流的趋势。

TSPC DFF 虽有诸多优点,但也有动态节点浮空、毛刺现象和时钟斜率等缺点,要改进这些缺点就需要在电路中添加缓冲电路以及整形电路,这样就会增加 TSPC DFF 的传输延时和功耗,这与设计初衷相悖,所以就需设计者根据实际情况进行改进和折中。

随着模拟集成行业的发展,传输信号的频率已不单局限几百 MHz 至几 GHz,改进的 TSPC DFF,如带复位置位的 TSPC DFF^[12]、带纠错功能的 TSPC DFF^[13]以及扩展的 TSPC DFF^[14-15]等将会完全替代 MS DFF 在模拟集成电路设计中扮演十分重要的角色^[16]。

参考文献:

- [1] 胡应波,李兆麟,周润德.两种新型低时钟摆幅 TSPC 触发器[J].清华大学学报(自然科学版),2008(10):1643-1646.
- [2] 束磊.基于 28 nm 工艺的高速分频器设计[D].上海:上海交通大学,2019.
- [3] 罗冲.一种基于 MCML 和 TSPC 的分频器设计

- [D]. 贵阳:贵州大学,2015.
- [4] N S Kumar, A Verma. An Architecture of a True Single Phase Clock D Flip-flop utilizing 45nm Technology [C], 2022 Second International Conference on Advanced Technologies in Intelligent Control Environment Computing & Communication Engineering (ICATIECE), Bangalore India, 2022:1-6.
- [5] 刘文锋,谢朝阳.一种基于D触发器的分频电路设计[J]. 计量与测试技术, 2020, 47(8):23-25.
- [6] 殷树娟.一种高性能低功耗CMOS分频器电路设计[J]. 北京信息科技大学学报(自然科学版), 2015, 30(3):15-19.
- [7] 陶小妍,张海鹏,阴亚东,等.基于TSPC的4/5双模前置分频器设计[J]. 半导体技术, 2014, 39(1):33-37.
- [8] 胡帅帅,周玉梅,张锋.基于E-TSPC技术的10GHz低功耗多模分频器的设计[J]. 半导体技术, 2016, 41(2):96-101.
- [9] Z Deng, A M Niknejad. The Speed-Power Trade-Off in the Design of CMOS True-Single-Phase-Clock Dividers[J], in IEEE Journal of Solid-State Circuits, 2010, 45(11):2457-2465.
- [10] S Gupta, J Mekie. Soft Error Resilient and Energy Efficient Dual Modular TSPC Flip-Flop[J], 2019 32nd International Conference on VLSI Design and 2019 18th International Conference on Embedded Systems (VLSID), Delhi India, 2019:341-346.
- [11] V M B, P Akamanchi, V Uttarkar. Low Power Single-Phase-Clock Flip Flop[C]. 2023 International Conference on Advances in Electronics Communication Computing and Intelligent Information Systems (ICAECIS), Bangalore India, 2023:319-326.
- [12] J Shaikh, H Rahaman. High speed and low power preset-able modified TSPC D flip-flop design and performance comparison with TSPC D flip-flop[C]. 2018 International Symposium on Devices Circuits and Systems (ISDCS), Howrah India, 2018:1-4.
- [13] H Ashwini, S Rohith, K A Sunitha. Implementation of high speed and low power 5T-TSPC D flip-flop and its application[C]. 2016 International Conference on Communication and Signal Processing (ICCSP), Melmaruvathur India, 2016:275-279.
- [14] Z Tibenszky, M Kreißig, C Carta, et al. A 0.35-mW 70-GHz Self-Resonant E-TSPC Frequency Divider With Backgate Adjustment[C], in IEEE Transactions on Microwave Theory and Techniques, 2022, 70(4):2236-2245.
- [15] Z Wang. Low-Power Redundant-Transition-Free TSPC Dual-Edge-Triggering Flip-Flop Using Single-Transistor-Clocked Buffer[C]. in IEEE Transactions on Very Large Scale Integration (VLSI) Systems, 2023, 31(5):706-710.
- [16] M S Hossain, M B Moreira, F Sandrez, et al. Low Power Frequency Dividers using TSPC logic in 28nm FDSOI Technology[C]. 2022 IEEE 13th Latin America Symposium on Circuits and System (LASCAS), Puerto Varas Chile, 2022:1-4.

Design of Edge Trigger based on True Unidirectional Clock Positive Edge Trigger Register

ZHU Hongyu, NIE Hai

(College of Communication Engineering, Chengdu University of Information Technology, Chengdu 610225, China)

Abstract: Aiming at the problem of the transmission speed of frequency Phase detector (PFD) and frequency divider in a PLL circuit, an edge trigger based on a true unidirectional clock positive edge trigger register (TSPC) was designed and built. This structure achieves high-speed transmission in the 1 GHz frequency band and has the advantages of simple structure, short transmission delay, and low power consumption. The traditional master-slave D flip-flop (MS DFF) adopts a cascaded structure of multiple transmission gates and inverters, resulting in high transmission delay and high transmission power consumption, which greatly limits the phase-locked loop circuit; The D trigger based on TSPC adopts a dynamic logic architecture, storing the transmitted digital information in the dynamic refresh logic, and achieves the function of information storage and transmission with an extremely simple structure and fewer transistors. Two types of DFFs with different structures were simulated in the simulation software. The simulation results showed that the designed TSPC DFF has a transmission delay of 70 ps at 500 MHz, while the traditional MS DFF has a transmission delay of 120 ps in the same environment. TSPC DFF has significant advantages over MS DFF in high-frequency transmission.

Keywords: TSPC; MS DFF; dynamic refresh logic; high frequency; low transmission delay