

文章编号: 2096-1618(2025)02-0132-05

# 一种宽带有源前馈噪声消除 CMOS 低噪声放大器

樊润伍, 郭本青

(成都信息工程大学通信工程学院, 四川 成都 610225)

**摘要:**提出一种单端结构的宽带低噪声放大器。基于传统的共栅和共源噪声消除结构,引入有源前馈电路提升共栅级输入跨导,并降低直流电流,从而负载电阻可以适当增加以降低其噪声输出,保证电路整体更低的噪声指数;同时,提出改进的 n/pMOS 互补结构方案,有效提高线性度并降低了功耗。为把电路设计成宽带,在输入级和输出级均采用 $\pi$ 型匹配网络。使用 Cadence Spectre-RF 基于 TSMC 65 nm CMOS 工艺进行仿真。结果显示:在 1~12 GHz 带宽内,增益为 14~17 dB,噪声系数为 2.45~3.45 dB;在 5 GHz 时, IIP3 和 IIP2 的线性度分别为 -2.4 dBm 和 23 dBm;电路仅消耗 7.8 mW,芯片面积 0.21 mm<sup>2</sup>。

**关键词:**宽带;互补配置;低噪声放大器;线性度;噪声消除

**中图分类号:** TN722.3

**文献标志码:** A

**doi:** 10.16836/j.cnki.jcui.2025.02.002

## 0 引言

不断追求增长的数据速率引发高速无线通信的研究<sup>[1]</sup>,带宽增强是满足大数据速率要求的经济方式<sup>[2]</sup>。实践中,采用多频段和超宽带收发器来实现灵活的多标准操作,支持动态数据速率传输。作为重要的电路构建模块之一,低噪声放大器(low noise amplifier, LNA)在很大程度上决定了接收器的最小噪声和可用带宽。多频带 LNA 提供 RF 滤波功能,但需要庞大的电感/电容选频网络,或并行地实现为多个单频带 LNA 聚合结构。相比之下,宽带 LNA 的结构更加紧凑,器件预算更少。对于低成本目标来说,这是相当有吸引力的,但宽带操作对线性度提出了挑战。除 IP3 之外,IP2 也是一个需要仔细检查的指标,因为二阶失真也可能落入所需频带并对有用信号形成干扰<sup>[3]</sup>。因此,设计具有低噪声系数(noise figure, NF)、宽带宽、可接受的线性度、低功耗和低成本的宽带 LNA 仍然是一个挑战<sup>[4]</sup>。

过去提出了许多覆盖宽带频率范围的 LNA 结构:基于传输线的 LNA,占据较大的面积并且表现出较低的成本优势;共源 LNA 结构<sup>[5]</sup>,使用滤波器终端来实现宽带匹配,其中需要多个片上电感器;使用负反馈的共源 LNA,需要很少的电感器,并且布局相当紧凑<sup>[6]</sup>。然而,低噪声系数和宽带输入匹配之间存在严格的权衡。共栅 LNA 结构在匹配带宽覆盖方面具有继承优

势,但  $1+\gamma$  的 NF 底线构成了技术问题。电容器交叉耦合<sup>[7]</sup>前馈技术将其降低至  $1+\gamma/2$ ,但差分 LNA 需要额外的巴伦,可能会限制电路的带宽,以连接单端天线,并通过添加辅助共源级来消除共栅级的噪声限制<sup>[8]</sup>。CMOS 工艺微缩减轻带宽因寄生增加带来的损失,有源前馈技术进一步降低共栅级负载的噪声<sup>[5]</sup>。此外,三路径/双折叠/双晶体管噪声消除。尽管有许多线性化技术(如导数叠加和前/后失真)可以改善 LNA 的 IP3<sup>[12]</sup>,但随着线性化电路的添加,整体带宽会出现损失。另外,用于平衡 IP2/IP3 线性度<sup>[13]</sup>的数字位控制和用于提高功率压缩点<sup>[14]</sup>的多重导数叠加会导致寄生效应显著增加,从而使电路带宽降低到 1.4 GHz 以下。

为实现上述设计条件之间的平衡,提出一种单端 LNA,无缝连接片外天线。主动前馈噪声消除(noise cancelling, NC)技术保持低噪声指标。在输入和内部网络设计了电感峰化结构,以扩展带宽。堆叠式 n/pMOS 结构通过电流复用优势节省功耗。此外,减少的二阶失真有效地提高了 IP2 线性度。因此,所提出的 LNA 实现了良好的带宽、NF 和 IP2,同时降低功耗。

## 1 噪声消除宽带 LNA 电路

图 1 是宽带 LNA 的完整原理图。主路径由堆叠的 n/pMOS 共栅和共源结构形成,具有共模反馈的基于反相器的放大器形成辅助路径消除  $M_{nl}$  和  $M_{pl}$  的噪声。此外,作为自偏置反相器实现的前馈路径 A 提高了输入共栅级的等效跨导并降低相应的直流电流,从

而允许更大的电阻负载以获得最佳噪声。另外,高值反馈电阻  $R_F$  用于偏置。共模反馈电路将节点  $Y$  的电压稳定在  $V_{DD}/2$ 。电容  $C_i (i=1,2,\dots,10)$  是隔直电容。 $C_{in}$  和  $L_1$  与节点  $X$  产生的寄生电容形成  $\pi$  型匹配网络。而  $L_2$  与节点  $Y$  和 Buffer 产生的寄生电容形成  $\pi$  型匹配网络。

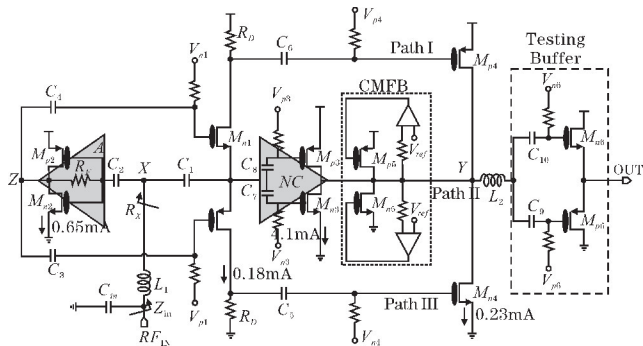


图1 有源前馈噪声消除宽带 LNA 结构

### 1.1 输入阻抗和增益带宽

由于  $M_3$  尺寸较大,导致  $V_X$  节点寄生电容较大,高频时输入阻抗迅速下降。因此,在输入端增加串联电感  $L_1$  和并联电容  $C_{in}$  形成  $\pi$  型匹配网络,可以为 LNA 电路提供更好的输入阻抗匹配。这有助于最大限度地减少信号反射并最大限度地提高从源到 LNA 输入的功率传输,输入阻抗为

$$Z_{in} = \frac{L_1 C_X R_X s^2 + L_1 s + R_X}{L_1 C_{in} C_X R_X s^3 + L_1 C_{in} s^2 + (C_{in} + C_X) R_X s + 1} \quad (1)$$

其中,  $R_X$  是从  $X$  节点到电路内部看到的电阻,大约等于  $1/[g_{m1}(1+g_{m2}r_{o2})]$ 。 $g_{mi}$  是晶体管  $M_i (i=1,2,\dots,5)$  的复合跨导。 $M_i$  是  $M_{ni}$  和  $M_{pi}$  的复合晶体管。 $r_{oi}$  是晶体管  $M_i$  的复合漏源电阻。 $C_X$  约等于晶体管  $M_1$ 、 $M_2$  和  $M_3$  的栅源寄生电容  $C_{gs1}+C_{gs2}+C_{gs3}$ 。基于式(1),在高频处引入极点。通过仔细优化  $L_1$  和  $C_{in}$  的值,可以实现超过 12 GHz 的匹配带宽。

节点  $X$  到  $Y$  的 LNA 低频小信号增益表达式如下:

$$A_V = -G_m R_L \\ = -\left[ \frac{(1+A)g_{m1}R_D g_{m4}}{2} + g_{m3} \right] R_L \quad (2)$$

其中,  $R_L$  代表负载电阻,等于  $r_{o3} // r_{o4} // r_{o5}$ ,  $R_D$  代表串联到共栅级漏极的负载电阻。根据式(2),存在 3 条完整的增益路径,所有路径从节点  $X$  到节点  $Y$  产生同相的电压信号,得到最终的放大电压信号。与输入端口情况类似,高频时节点  $Y$  的寄生电容也对 LNA 的增益带宽产生显著影响。该电容的存在会导致增益带宽

减小。为减轻这种影响,如图 1 所示,在输出节点  $Y$  和缓冲器之间插入串联电感器  $L_2$ ,以保持 LNA 的增益带宽。这种方法通常用于 CMOS 放大器以扩展带宽。

### 1.2 噪声分析

为进一步理解所提出的 LNA 的 NC 原理,将堆叠的 n/pMOS 结构合并为单个晶体管(图 2),获得的噪声消除条件<sup>[4]</sup>:

$$2R_S g_{m3} = R_D g_{m4} \quad (3)$$

其中,  $R_S$  是输入信号内阻。在此噪声消除条件下,仅考虑晶体管的沟道热噪声和热电阻噪声。假设  $g_{mni} = g_{mpi} (i=1,2,\dots,5)$  且输入完美匹配,则噪声因子  $F$ :

$$F = 1 + F_{R_D} + F_{M_3} + F_{M_4} + F_{M_5} \\ = 1 + \frac{2R_S}{R_D} + \frac{\gamma}{R_S g_{m3}} + \frac{4\gamma R_S}{R_D^2 g_{m4}} + \frac{\gamma g_{m5}}{R_S g_{m3}^2} \quad (4)$$

其中,  $\gamma$  是器件的信道噪声系数。这里  $F$  的第二项、第三项和第四项是  $R_D$ 、 $M_3$  和  $M_4$  的噪声。第五项是  $M_5$  的噪声,它对噪声的影响很小,可以忽略不计。为在噪声消除的情况下进一步减少噪声贡献,增加  $R_D$  和  $g_{m3}$  可以减少 NF。模拟的 NF 随  $R_D$  和  $g_{m3}$  变化,如图 3 所示。具体来说,如果  $R_D$  和  $g_{m3}$  值太小,噪声贡献将变得更加突出。如果  $R_D$  值太大,  $g_{m3}$  也会根据式(3)中所述的噪声消除条件按比例增加。这不可避免地导致整体功耗增加。因此,需要在低噪声和功耗之间进行权衡。

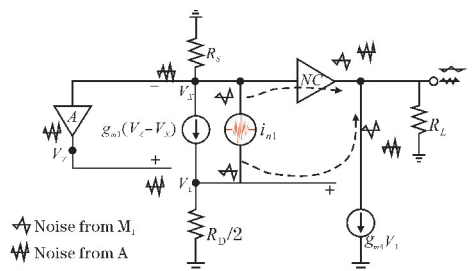


图2 所提出的 LNA 的简化 NC 机构模型

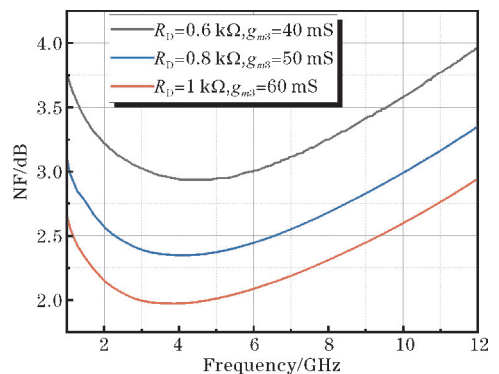


图3 模拟 NF 随  $R_D$  和  $g_{m3}$  的变化

1.3 线性度

遵循 NC 原理,共栅和有源前馈阶段的失真被有效地消除,剩余  $M_3$  和  $M_4$  两个失真源。虽然在强/弱反型区域偏置  $M_3$  和  $M_4$  以补偿彼此的失真,获得改进的 IP3 性能<sup>[13]</sup>,弱反型晶体管的大寄生效应牺牲了电路带宽,这里没有采用。然而,如图 1 所示,堆叠式 n/pMOS 配置在电路中普遍使用,为 n/pMOS 晶体管选择均匀的过驱动电压和适当的宽长比。因此,它补偿了二阶失真并提高 IP2。此外,堆叠配置大约仅消耗传统 nMOS 结构电流的一半,提供了与之相当的跨导值。

2 仿真结果分析

采用 Cadence Spectre RF 对宽带 LNA 电路基于 TSMC 65nm CMOS 工艺进行仿真和验证,并进行版图设计,芯片布局面积为  $700\times300\text{ }\mu\text{m}^2$ ,如图 4 所示。不带测试缓冲器的 LNA 内核从 1.2 V 电源汲取 5.86 mA 电流,电流分布如图 1 所示。NC 级中使用的晶体管的沟道长度设置为 90 nm,可以提高其有效跨导并缓解短沟道晶体管的  $r_o$  降低问题。

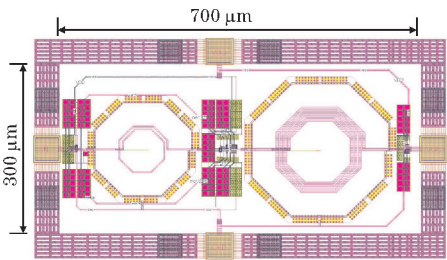


图4 LNA 芯片版图

仿真结果表明,LNA 具有良好的输入匹配,如图 5 所示,在 12 GHz 的频率范围内, $S_{11}$  低于  $-10\text{ dB}$ 。与没有  $\pi$  型网络的情况相比,拓宽了 2 GHz,而增益在带宽内达到 17 dB 的高值。此外,相应的 3 dB 带宽为 1~12 GHz。仿真的噪声系数如图 6 所示,后仿真的  $NF_{\min}$  在 4 GHz、12 GHz 时分别为 2.45 dB、3.45 dB。与未采用 NC 的情况相比,所提出的 LNA 的噪声系数降低了 3.7~6.5 dB。

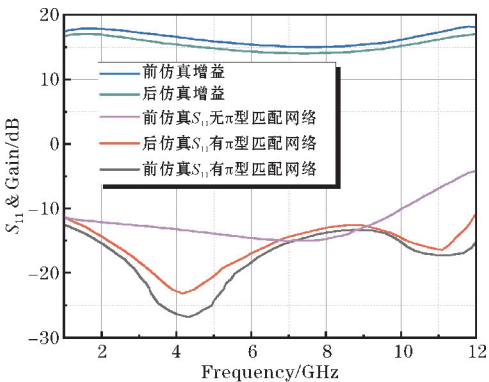


图5 前仿真和后仿真的  $S_{11}$  和 Gain

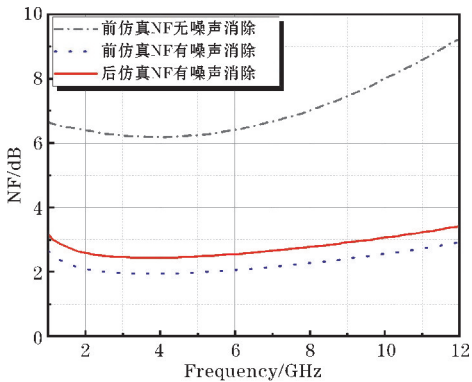


图6 前仿真和后仿真的噪声系数

图 7 显示了不同频率下的仿真 IIP3、IIP2 和 P1dB。在整个频段上,仿真的 IIP3 和 IIP2 值分别高于  $-5\text{ dBm}$  和  $20\text{ dBm}$ 。此外,模拟的 P1dB 范围为  $-16\sim-8.3\text{ dBm}$ 。

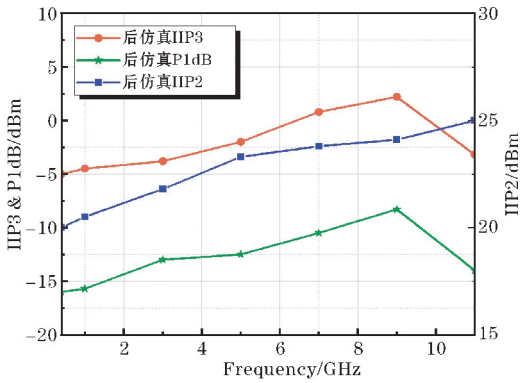


图7 后仿真的 IIP2、IIP3 和 P1dB 随频率变化的关系

表1 性能总结和比较

Unit	Freq./GHz	Gain/dB	NF/dB	IIP3/dBm	IIP2/dBm	Power/mW	Arch. -	Active Area/mm <sup>2</sup>	FOM <sup>◆</sup> -	CMOS/nm
文献[5]	2.3~9.2	6.3 ~ 9.3	4~7 <sup>a</sup>	-8.2 ~ -6 <sup>a◆</sup>	-3 ~ 6 <sup>a◆</sup>	9	S <sup>#</sup>	1.1 *	0.31	180
文献[4]	1~11	14 ~ 17	3.5~5.5	-7.7 ~ -2.2	-	9	S <sup>#</sup>	0.061	10.46	40
文献[9]	1~20	10 ~ 12.8	3.3~5.3	2 <sup>a</sup> ~ 6.8 <sup>a</sup>	-	20.3	S <sup>#</sup>	0.096	22.7	65
文献[11]	0.1~2	14.6 ~ 17.5	2.9~3.2	10.6 ~ 14.3	39~44	21.3	D <sup>@</sup>	0.63 *	18.94	180
文献[10]	0.02~2	15.5 <sup>a</sup> ~ 18.5	2.5~3.5	1.29 ~ 4.25	19.6~27.6	4.1	S <sup>#</sup>	0.022	13.89	28
本研究	1~12	14 ~ 17	2.45~3.45	-5 ~ 2.2	20~25.3	7.8	S <sup>#</sup>	0.21	21.3	65

注:<sup>a</sup> 图中的估计值,<sup>#</sup>单端,<sup>@</sup>差分,\* 包括焊盘,<sup>◆</sup>在 4~8 GHz,<sup>◆</sup>FOM=20log10{(BW)[GHz]Gain[lin]IIP3[mW]}/{PDC[mW](NFmin[lin]-1)}

表1是本文提出的LNA与其他LNA的性能比较。所提出的LNA设计具有较低的功耗,可实现低噪声系数、良好的带宽和IIP2,同时提供具有竞争力的FOM<sup>[15]</sup>值。与文献[5]相比,所提出的LNA设计表现出优越的性能。与文献[4]和文献[9]中提出的设计相比,本文的NF降低了1.5~2 dB,这归因于 $R_D$ 使用了更大的电阻值。文献[10~11]均基于NC技术,具有相似的NF和增益,但总带宽不超过2 GHz。虽然文献[11]提出的设计获得了较高的IIP2,但这主要是由于使用差分结构提供了更好的性能。文献[10]中的单端LNA和建议的堆叠式n/pMOS LNA表现出可比的IIP2,使它们优于其他LNA。

### 3 结束语

提出一种单端宽带LNA电路,使用有源前馈结构提升共栅输入跨导/减少支路偏置电流。因此,更大的电阻器 $R_D$ 可进一步降低其噪声输出,从而实现NF整体降低。同时,在输入和输出处采用 $\pi$ 型匹配网络,缓解寄生电容对 $S_{11}$ 和增益的高频限制。此外,堆叠的n/pMOS结构实现了功耗减半,并提高了LNA的IIP2性能。因此,所提出的LNA适用于低噪声、高线性化需求的宽带无线通信应用。

### 参考文献:

- [1] Hampel S K, Schmitz O, Tiebout M, et al. 9-GHz wideband CMOS RX and TX front-ends for universal radio applications [J]. IEEE Trans. Microw. Theory Techn, 2012, 60(4): 1105-1116.
- [2] Guo B, Wang H, Wang Y, et al. A Mixer-First Receiver Frontend with Resistive-Feedback Baseband Achieving 200 MHz IF Bandwidth in 65 nm CMOS [C]//2022 IEEE Radio Frequency Integrated Circuits Symposium (RFIC), 2022: 31-34.
- [3] Zhang H, Sánchez-Sinencio E. Linearization Techniques for CMOS Low Noise Amplifiers: A Tutorial [J]. in IEEE IEEE Trans. Circuits Syst. I: Reg, 2011, 58(1): 22-36.
- [4] Liu Z, Boon C C, Yu X, et al. A 0.061-mm<sup>2</sup> 1-11-GHz Noise-Canceling Low-Noise Amplifier Employing Active Feedforward With Simultaneous Current and Noise Reduction [J]. IEEE Transactions on Microwave Theory and Techniques, 2021, 69(6): 3093-3106.
- [5] Bevilacqua A, Niknejad A M. An ultrawideband CMOS low-noise amplifier for 3.1-10.6 GHz wireless receivers [J]. in IEEE Journal of Solid-State Circuits, 2004, 39(12): 2259-2268.
- [6] Behzad Razavi. RF microelectronics [M]. 2nd edition. New York: Hamilton Printing Company, 2012.
- [7] Zhuo W, Li X, Shekhar S, et al. A capacitor cross-coupled common-gate low-noise amplifier [J]. IEEE Transactions on Circuits and Systems II: Express Briefs, 2005, 52(12): 875-879.
- [8] Blaakmeer S C, Klumperink E A M, Leenaerts D M W, et al. Wideband balun-LNA with simultaneous output balancing, noise-canceling, and distortion-canceling [J]. IEEE J. Solid-State Circuits, 2008, 43(6): 1341-1350.
- [9] Yu H, Chen Y, Boon C C, et al. A 0.096 mm<sup>2</sup> 1-20-GHz Triple-Path Noise-Canceling Common-Gate Common-Source LNA With Dual Complementary pMOS-nMOS Configuration [J]. in IEEE Trans. Microw. Theory and Techn., 2020, 68(1): 144-159.
- [10] Bozorg A, Staszewski R B. A 20 MHz-2 GHz Inductorless Two-Fold Noise-Canceling Low-Noise Amplifier in 28-nm CMOS [J]. in IEEE Trans. Circuits Syst. I: Reg. Papers, 2022, 69(1): 42-50.
- [11] Guo B, Chen J, Li L, et al. A Wideband Noise-Canceling CMOS LNA With Enhanced Linearity by Using Complementary nMOS and pMOS Configurations [J]. in IEEE Journal of Solid-State Circuits, 2017, 52(5): 1331-1344.
- [12] Guo B, Gong J, Wang Y. A Wideband Differential Linear Low-Noise Transconductance Amplifier With Active-Combiner Feedback in Complementary MGTR Configurations [J]. in IEEE Trans. Circuits Syst. I: Reg. Papers, 2021, 68(1): 224-237.
- [13] Guo B, Chen J, Chen H, et al. A 0.1-1.4 GHz inductorless low-noise amplifier with 13 dBm IIP3 and 24 dBm IIP2 in 180 nm CMOS [J]. Modern Physics Letters B, 2018, 32: 1850009.
- [14] Kim T W. A Common-Gate Amplifier With Trans-

conductance Nonlinearity Cancellation and Its High-Frequency Analysis Using the Volterra Series [ J ]. in IEEE Trans. Microw. Theory and Techn. ,2009 ,57 ( 6 ) :1461–1469.

[ 15 ] Wu J,Guo B,Wang H,et al. A 2.4 GHz 87  $\mu$ W low-noise amplifier in 65 nm CMOS for IoT applications [ J ]. Mod. Phys. Lett. B, 2021 , 35 ( 32 ) : 2150485.

A Broadband Active-Feedforward Noise-Cancelling Low-Noise Amplifier

FAN Runwu, GUO Bengqing

( College of Communication Engineering, Chengdu University of Information Technology, Chengdu 610225, China )

**Abstract:** A single-ended broadband low-noise amplifier is proposed. Based on a traditional common-gate and common-source noise cancellation structure, an active feed-forward stage is used to reduce the DC of the common-gate branch and boost input transconductance. Accordingly, a larger resistive load is allowed to inhibit its noise output and maintain the overall low NF of LNA. Meanwhile, an improved complementary n/pMOS structure is applied to enhance linearity and halve power consumption. For broadband design targets,  $\pi$ -type matching networks are used in both the input stage and the output stage. Cadence Specter-RF is used for simulation based on the TSMC 65 nm CMOS process. The results show a gain of 14–17 dB and a noise figure of 2.45–3.45 dB within a bandwidth of 1–12 GHz. The linearity of IIP3 and IIP2 are –2.4 and 23 dBm at 5 GHz. The circuit consumes only 7.8 mW, the chip area is 0.21 mm<sup>2</sup>.

**Keywords:** broadband; complementary configuration; low noise amplifier; linearity; noise canceling