

文章编号: 2096-1618(2020)05-0509-05

# 基于谐振开关技术的低相噪 LC VCO 的设计

奉 荣, 姜丹丹

(成都信息工程大学通信工程学院, 四川 成都 610225)

**摘要:**基于 TSMC 65nm CMOS 工艺,设计了一种低相噪宽调谐范围的电压控制振荡器(VCO)。VCO 的负电阻部分创新性地使用由 NMOS 和 PMOS 晶体管组成的电流复用拓扑结构,谐振开关结构用于实现宽调谐范围和高频振荡时保持较为稳定的压控增益( $K_{vco}$ )。电路的尾电流部分采用 POMS 电流镜结构用于减小晶体管闪烁噪声对 VCO 相位噪声的影响。在 1.2 V 电源电压下,压控振荡器的功耗为 4.5 mW,1.72 GHz 频率处相位噪声达到  $-112$  dBc/Hz@100 kHz。该 LC VCO 的宽调谐范围和良好的相位噪声性能较好地用于各种 PLL 电路中。

**关键词:**电容电感压控振荡器;电流复用;电容阵列;谐振开关;锁相环

中图分类号:TN751.2

文献标志码:A

doi:10.16836/j.cnki.jcuit.2020.05.005

## 0 引言

在宽频带的应用中,需要用到具有低功耗、高集成度和宽调谐范围的压控振荡器。在通常情况下,互补交叉耦合结构的 MOS 对管作负阻的 CMOS VCO<sup>[1-2]</sup>能够得到良好的相位噪声和调谐范围性能;在此基础上,提出了一种电流复用的交叉耦合结构,电流复用使电路功耗降低一半,但对于 VCO 的调谐范围并没有具体给出<sup>[3]</sup>;在多频带的 VCO 设计中,LC 谐振回路中数字控制信号的使用会使电路受控制信号的干扰,子频带信号的数字叠加会影响输出信号的平坦度<sup>[4-5]</sup>;双频 VCO 的设计能够使两个子频带调谐范围进行叠加,但因其带隙的存在可能无法使振荡频率难以覆盖整个调谐范围<sup>[6]</sup>。文中设计的 VCO 电路基于电流复用及谐振开关技术在获得良好的相位噪声及宽调谐范围的基础上降低电路的功耗。

## 1 VCO 的结构和基本原理

### 1.1 LC VCO 基本原理

文中介绍的 LC VCO 电路采用交叉耦合式<sup>[7]</sup>结构,其振荡原理如图 1 所示。通过外部一个负电阻抵消 LC 网络等效并联的寄生电阻带来的损耗,使能量不会受到损失从而维持振荡器的振荡。

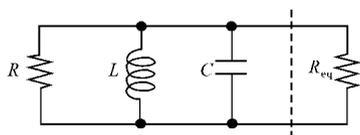


图 1 振荡回路的能量补偿

### 1.2 LC VCO 电路结构

传统 LC VCO 电路主要包含 N-Core、P-Core 和 NP-Core 3 种结构。由于 N-Core 或 P-Core 在结构上没有 NP-Core 的对称性,其振荡波形、对称性也不如对称结构。良好的波形对称性可以降低振荡器输出相位噪声的转折频率,提高相位噪声性能<sup>[7-8]</sup>。图 2 是采用 N-PMOS 交叉耦合结构作为 LC 谐振网络的等效负阻来抵消网络的等效寄生电阻。谐振腔由 L0、可变电容和开关电容阵列组成。PMOS 管组成的电流镜结构为 VCO 电路提供了电流。L1、C0 降低了偶次谐波对相位噪声的影响。

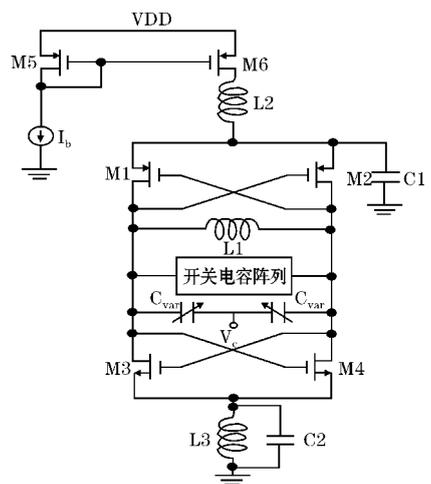


图 2 LC VCO 电路结构

在 VCO 电路中,控制电压直接决定可变电容的容值从而改变电路的振荡频率。可变电容的大小决定了 VCO 电路压控增益的大小。通过设计增加开关电容阵列实现宽的调频范围且保持较低的压控增益。图 3 是交叉耦合结构的小信号等效电路图,其等效电阻可以由交流小信号求出。

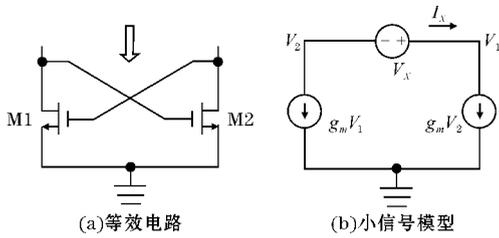


图3 交叉耦合结构

$$V_2 - V_1 = V_x \quad (1)$$

$$g_m V_1 = -g_m V_2 \quad (2)$$

式(1)和式(2)对应小信号电路的电压和电流节点,由小信号模型,得出电路等效电阻:

$$R = \frac{V_x}{I_x} \quad (3)$$

由式(1)、(2)、(3)可得

$$R = -\frac{2}{g_{m1}} = -\frac{2}{g_{m2}} \quad (4)$$

### 1.3 可变电容器和调谐范围

LC 谐振网络的振荡频率是由谐振网络中的电感 L 和电容 C 决定的,在 LC VCO 电路中,直观来讲,要实现大的调谐频率需要可变电容器容值有很大的变化范围。然而可变电容器的大小决定 VCO 压控增益的  $K_{vco}$  大小,  $K_{vco}$  太大会是 VCO 对可变电容器十分敏感,影响整体电路的相位噪声性能。上述问题可以通过引入电容阵列<sup>[9]</sup>来解决,加入电容阵列的 VCO 将整个频带划分为多个子频带,相邻频带之间有些许重叠范围以保证子频带覆盖整个频率范围。电容阵列的结构使计算整个频带的  $K_{vco}$  变成了设计每个子频带的  $K_{vco}$ ,使相位噪声性能不会因为  $K_{vco}$  过高而变差<sup>[10]</sup>。

### 1.4 传统电容阵列结构

图 4(a)是开关电容阵列整体电路结构图,谐振回路中电容的大小由电容阵列的开关控制,当  $k_1, k_2, \dots, k_n$  闭合且可变电容器的容值最大时, VCO 的振荡频率最小;相反,当开关全部断开且可变电容器的容值最小时, VCO 的振荡频率最大。通过开关的控制来调整电路的工作频率。设置合适的  $K_{vco}$  值,使调谐曲线能够覆盖整个振荡范围。

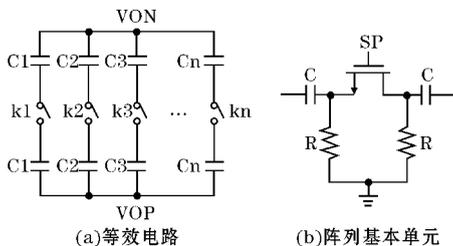


图4 开关电容阵列

电容阵列中的开关利用 NMOS 管来实现<sup>[12]</sup>,当 SP 高电平时,电路闭合, NMOS 两端的电容接到电路当中,在开关闭合时, MOS 管等效为一个电阻,其阻值与 MOS 管的宽长比  $W/L$  有关,宽长比越大使接入电路中的等效电阻越大,恶化 VCO 的相位噪声;相反,单个开关电容的品质因素与尺寸的关系:

$$Q_s = \frac{\text{Imag}(Z)}{\text{Real}(Z)} = \frac{2}{\omega C_0 R_0} = \frac{2\mu_n C_{ox} \frac{W}{L} V_{ov}}{\omega C_0} \quad (5)$$

从式(5)可以看出增大开关管的尺寸可以减小管子的闪烁噪声,所以应该折中考虑 MOS 管的尺寸。加入电容阵列后 VCO 的调谐曲线使多条曲线调谐范围覆盖了整个工作频段,同时也减小了压控增益。两个大电阻并联到电路以减小整个电路的总阻值。

如图 5 所示,由于固定的可变电容器,电容阵列接入越少的电容,增益越大,所以高频处的相噪性能比低频处的差。

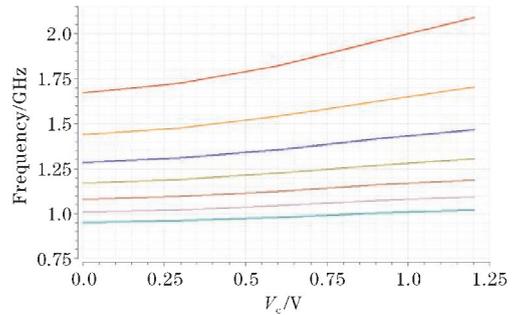


图5 调谐曲线

## 2 VCO 关键电路的设计

### 2.1 电流复用

图 6 是使用电流复用拓扑结构提出的压控振荡器结构。其核心主要是一对 NMOS (M1) 和 PMOS (M2) 组成的交叉耦合对、LC 谐振网络、可变电容器和后续缓冲器组成。与传统的 N-Core、P-Core 和 NP-Core 交叉

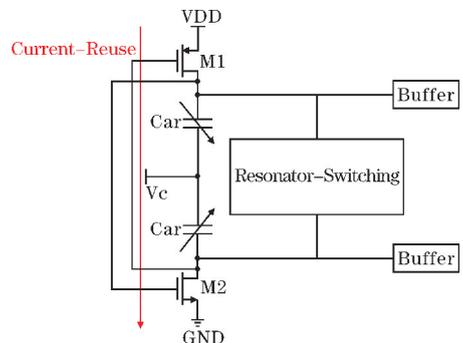


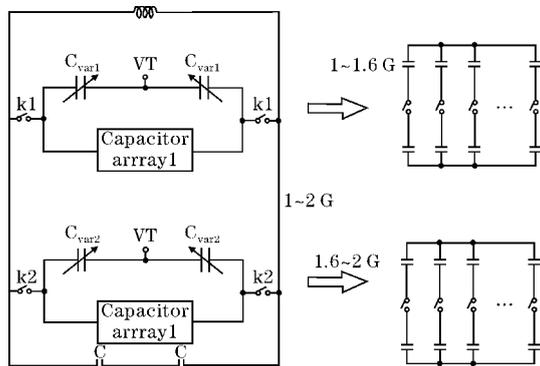
图6 提出的 VCO 结构

耦合结构不同的是,设计的交叉耦合电路是用一个 NMOS 晶体管和一个 PMOS 晶体管交叉耦合为电路提供负阻,同时还起到了电流复用的作用,大大减小了电路的消耗功耗。另外,一个 NMOS 晶体管和一个 PMOS 晶体管组成的交叉耦合对为振荡器电路提供了足够的增益的同时保证了更好的相位噪声性能。

晶体管主要是通过电子迁移来进行工作的,因为电子的漂浮速度比空穴快,这就意味这在同一时期 NMOS 能够创造比 PMOS 更多的电流,因此 NMOS 晶体管能够贡献比 PMOS 更高的增益。另一方面,由于 PMOS 晶体管的闪烁噪声比 NMOS 小,所以 PMOS 拥有比 NMOS 更好的噪声性能<sup>[12]</sup>。设计的拓扑结构综合 PMOS 和 NMOS 晶体管的优缺点,使电路拥有更高增益的同时有更好的噪声性能。

## 2.2 谐振开关

基于应用电容阵列来调节单个调谐曲线压控增益的思想<sup>[13-14]</sup>,设计出一种谐振开关电路,电路工作在较低频段时引入另一个电容阵列以减小高频段的压控增益,从而来改善低频段的相位噪声。电路结构如图7所示。



(a) 谐振网络

(b) 谐振开关

图7 谐振开关电路结构

谐振网络由  $L_1$ 、 $L_2$ 、变容二极管、电容阵列和开关晶体管  $M_1$  组成。打开晶体管  $M_1$  时,电路等效电感为  $L_1//L_2$ ,VCO 工作在高频段;关断晶体管时,等效电感为  $L_1$ ,VCO 在低频段工作。对于宽频带调谐范围的 VCO 设计,可以通过选择合适的 LC 和元件使振荡频率覆盖需要的整个频段。为了使调谐范围最大化,两个波段的重叠区域应该最小化,振荡频率为

$$f_L = \frac{1}{2\pi\sqrt{L_1 C_{\text{car}}}}, f_H = \frac{1}{2\pi\sqrt{(L_1/L_2) C_{\text{var}}}} \quad (6)$$

通过控制电压开关实现两个频段之间的切换操作。当  $V_{\text{switch}}$  为 1V 时, $M_3$  导通,电流通过并联的  $L_1$  和  $L_2$ 。与此相反,当  $V_{\text{switch}}$  为 0V 时, $M_1$  被关闭,电流只通过电感  $L_1$  流动。此外,由于  $M_1$  等效导通电阻存在,可以预估出  $M_3$  带来的高频相位噪声性能影响。当振荡频率为 1 ~ 1.4 G 时,开关  $k_1$  闭合, $k_2$  断开,电路通过电容阵列减小压控增益;工作在较高频率时, $k_1$  断开, $k_2$  闭合,电路正常工作。图8为改进后 1.6 ~ 2 G 振荡曲线。

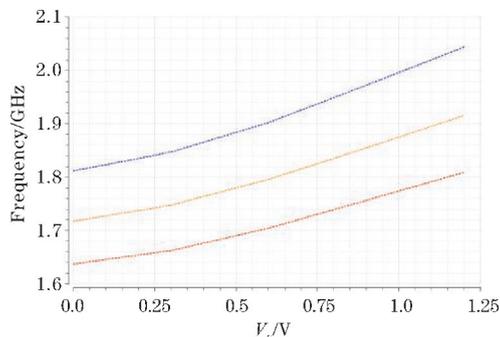


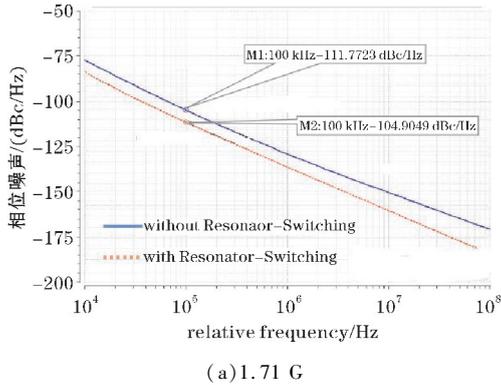
图8 改进后的高频调谐曲线

公共漏极输出缓冲区用于确保稳定内部振荡的正弦输出波形、提供更好的隔离并防止其直流分量影响下一级电路。与传统的公共缓冲区相比,公共漏极缓冲区拓扑结构能够更好地减少正弦波波形失真的可能性。文中设计的电路采用电感电容滤波<sup>[15]</sup>的方法来减小尾电流源对相位噪声的影响。尾电流源的低频噪声和偶次谐波附近的噪声会混频到基频的相位噪声中,为了减少偶次谐波的噪声,在共模点并联一个电容,在尾电流源串联一个电感组成一个滤波器滤除偶次谐波。

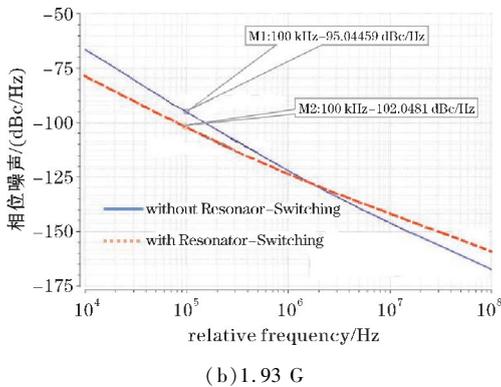
## 3 设计仿真实证

对文中设计的 VCO 电路,利用 Cadence Spectre 仿真器对电路进行仿真以及版图验证,对改进前后的 VCO 相位噪声进行了对比验证。所提出的宽频带压控振荡器是在台湾半导体制造公司(TSMC)提供的标准混合讯号/RF 块体 65 nm CMOS 工艺中设计与实现的。利用优化的 CMOS 工艺和深 N 阱光刻技术,该工艺提供了优于 55 GHz 的传输频率 (FT) 和最大振荡频率 (FMAX)。该工艺还为晶体管的栅极提供了一个单一的多层,为互连提供了 6 个金属层。介电层和硅衬底的相对介电常数分别约为 4 和 11.9。基底的厚度和电导率分别为 482.6  $\mu\text{m}$  和 11 s/m。

从图9对相位噪声的仿真结果可以看到,通过对高频处调谐曲线的优化,使整个VCO的相噪性能比传统结构优化了7 dB。



(a) 1.71 G



(b) 1.93 G

图9 改进后相位噪声对比

为了减小电阻损耗,在 $2.3 \mu\text{m}$ 厚 AlCu 构成的顶层金属层(M6)和底层金属层(M1)上实现了整条电力线、传输线信号迹线和螺旋电感。图10显示了设计的芯片照片,芯片尺寸为 $1.18 \text{ mm}^2$ ,包括所有测试垫。值得注意的是,由于两个接地电感,内置公共漏极缓冲器消耗了大部分芯片面积。

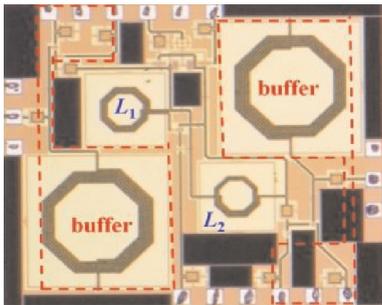


图10 版图设计

表1 几种LC VCO性能参数比较

VCO 结构	传统 PMOS 交叉耦合结构	双频带 VCO	文中电流复用结构
频率/GHz	1.17 ~ 2.03	1.3 ~ 1.7	0.9 ~ 2.04
功耗/mW	9	2.4	4.5
相位噪声/(dB/Hz)	-126@1MHz	-124@1 MHz	-112@100 kHz

## 4 结束语

文中介绍了 LC VCO 电路的基本振荡原理,设计了一款带有电流复用电路和谐振开关的 VCO。频率调谐范围为 960 MHz ~ 2.1 GHz,在 0.6 V 电源电压、1.71 GHz 中心频率时相位噪声为  $-112 \text{ dBc}@100 \text{ kHz}$ ,功耗为 4.5 mW。与不带电流复用和谐振开关电路相比,文中 VCO 具有功耗低,高频相位噪声更好等优点,改进电路在高频处的相噪优化了 7 dB 左右。该电路结构简单,面积小,易于集成。

## 参考文献:

- [1] Behzad Razavi, Frank Herzel. A study of oscillator jitter due to supply and substrate noise [J]. IEEE Journal Article, 1999, 206(4): 56-62.
- [2] Behzad Razavi. A study of phase noise in CMOS oscillators [J]. IEEE Journal Article, 1999, 620(12): 331-343.
- [3] 袁路,唐长文,闵昊.一种低调谐增益变化的宽带电感电容压控振荡器[J].半导体学报,2008,29(5):1003-1009.
- [4] E Hegazi, H Sjoland, A A Abidi. A filtering technique to lower LC oscillator phase noise [J]. IEEE Journal Article, 2001, 599(40): 1921-1930.
- [5] A Hajimiri, T H Lee. Phase noise in CMOS differential LC oscillators [R]. USA, Symposium on VLSI Circuits, 1998.
- [6] Li xian, Li Wenyuan, Wang Zhigong. A wide tuning range LC-VCO using switched capacitor array technique [R]. Nanjing, 2010 International Symposium on Signals, Systems and Electronics, 2010.
- [7] 童诗白,华成英.模拟电路技术基础[M].北京:高等教育出版社,2012:293-302.
- [8] 袁路.宽带电感电容压控振荡器的研究与设计[D].上海:复旦大学,2008.
- [9] 丁昊宇.宽频带 CMOS 压控振荡器设计[D].西安:西安电子科技大学,2014.
- [10] Chen N, Diao S, Huang L, et al. Reduction of  $1/f$ ,  $3$ , phase noise in LC oscillator with improved self-switched biasing [J]. Analog Integrated Circuits and Signal Processing, 2015, 84(1): 19-27.
- [11] Wang Z, Diao S, He L, et al. Analysis of Current Efficiency for CMOS Class-B LC Oscillator [J].

- Circuits and Systems I: Regular Papers, IEEE Transactions on 2015, 62(5):1345–1352.
- [12] Wei Deng, Okada K, Matsuzawa, A. Class-C VCO With Amplitude Feedback Loop for Robust Start-Up and Enhanced Oscillation Swing [J]. IEEE, 2013, 48(2):429–440.
- [13] Mazzanti A, Andreani P. A Push-Pull Class-C CMOS VCO [J]. IEEE Journal of Solid-State Circuits, 2013, 48(3):724–732.
- [14] Muphy D, Darabi H. 2.5 A complementary VCO for IoE that achieves a 195dBc/Hz FOM and flicker noise corner of 200kHz [C]. 2016 IEEE International Solid-State Circuit Conference (ISS-CC). IEEE, 2016:44–45.
- [15] Staszewski R B, Hung C M, Leipold D, et al. A first multigigahertz digitally controlled oscillator for wireless applications [J]. Microwave Theory and techniques, IEEE Transactions on, 2003, 51(11):2154–2164.
- [16] 郑丽斌, 高海军, 孙玲玲. 采用65 nm工艺实现宽带低相位噪声的 LC-VCO [J]. 杭州电子科技大学学报(自然科学版), 2015, 35(3):22–26.

## A Low Phase Noise LC VCO using Resonator-switching Techniques

FENG Rong, JIANG Dandan

(College of Communication Engineering, Chengdu University of Information Technology, Chengdu 610225, China)

**Abstract:** This letter presents a wide-tuning-range and low phase noise voltage controlled oscillator (VCO) implemented by TSMC 65nm CMOS process. A new type of negative-resistance part of the VCO consisting of a NMOS and a PMOS transistor forms a current-reuse topology, and the resonator-switching topology is also adopted to achieved to wide-tuning range and stable voltage control gain during high frequency oscillation. POMS current mirror structure is used in the tail current part of the circuit to reduce the influence of transistor flicker noise on VCO phase noise. Operating at 1.2V supply voltage, the power consumption of the VCO is 4.5 mW, the resulting phase noise is  $-112$  dBc/Hz at 100 kHz offset from the 1.72 GHz oscillation frequency. The wide tuning range and good phase noise performance of the LC VCO can be used in various PLL circuits.

**Keywords:** LC VCO; current-reuse; capacitor array; resonator-switching; PLL