

文章编号: 2096-1618(2021)01-0015-04

一种高速低功耗比较器设计

刘居敬¹, 王海时¹, 胡诗朋²

(1. 成都信息工程大学通信工程学院, 四川 成都 610225; 2. 成都信息工程大学电子工程学院, 四川 成都 610225)

摘要:模数转换电路的性能优化不断推进比较器电路的发展,适用于高速低功耗的比较器是集成电路设计的主要发展方向。给出一种动态比较器,使用动态预放大电路结构实现低功耗高速度比较器特性,前置放大器能够增强响应速度,同时还可以有效减小失调电压对性能造成的影响。仿真结果显示当时钟频率35 M,1.5 V电源电压仿真环境下比较器平均功耗82 μW ,精度小于1 mV,失调电压小于0.5 mV。

关键词:集成电路;模数转换电路;比较器;前置放大电路;锁存器

中图分类号:TN432

文献标志码:A

doi:10.16836/j.cnki.jcuit.2021.01.003

0 引言

比较器电路可用于比较一组模拟信号的电压大小,进而根据判决结果做二进制输出^[1]。作为模数转换器(ADC)必备的核心电路部分,比较器的精度、功耗等参数性能对ADC芯片整体性能产生影响。传统结构比较器可分为开环与可再生比较器。开环比较器较高的直流增益使其带宽小,无法达到高速应用的建立时间要求;可再生比较器虽然速度快,然而噪声很大与电压失调,限制了应用范围^[2]。因此需要对传统电路结构进行更新,在比较器前一级引入预放大电路,可以提高比较器速度,降低失调电压。

高速模数转换器芯片设计要求比较速度快,失调电压小,低噪声。综上,设计预放大电路和锁存器共同构成动态锁存比较器,加入预放大电路放大输入信号差值,能够提高电路响应速度,降低失配引起的误差^[3],兼顾参数要求。时钟信号控制工作模式,时钟前半周期前置放大器接收放大输入信号,后半周期比较输入电平并锁存输出。图1为预放大再生锁存比较器的电路框图。

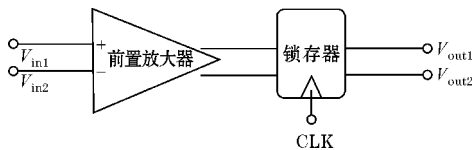
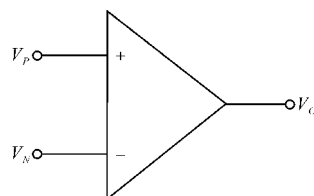


图1 预放大再生锁存比较器结构框图

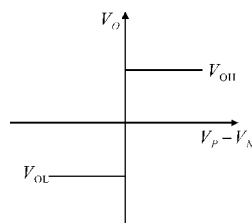
1 比较器基本原理

比较器可有判定输入信号的电压差正负,根据结

果产生二进制信号输出^[4]。图2为比较器电路符号与模型。开环工作的运算放大器,可以用于比较差值很小的信号,由于延迟较高,难以应用在高速电路。比较器的关键特性包括放大倍数、精度、响应时间、失调电压、传输延时、功耗^[5-7]。图3为比较器传输曲线。



(a) 比较器电路符号



(b) 比较器理想传输曲线

图2 比较器电路符号与理想传输曲线

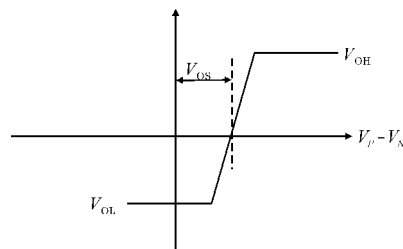


图3 比较器传输特性曲线

比较器增益大小可表示为

$$A_v = \lim_{\Delta v \rightarrow 0} \frac{V_{OH} - V_{OL}}{V_{IH} - V_{IL}} \quad (1)$$

收稿日期:2020-06-12

基金项目:四川省2018-2020年高等教育人才培养质量和教学改革资助项目(JG2018-523)

其中: V_{OH} 与 V_{OL} 是输出信号, 比较器输出的电压值为其中之一, $V_{IH}-V_{IL}$ 是输入信号的电压差值, 由公式 (1) 可知 $V_{IH}-V_{IL}$ 是比较器能够辨识的最小精度^[8]。

理论上比较器在输入电压差正负翻转时输出立即变换, 实际上差分电路对称管尺寸失配等原因, 电路将不可避免引入误差因素, 主要考虑失调电压 V_{OS} , 因此当输入差值到达 V_{OS} 时, 二进制输出才会发生电平变换^[9]。

2 预放大再生锁存比较器结构

预放大再生锁存比较器为提升输入摆幅在电路的输入端加入了预放大器, 能够减小比较器延迟时间, 提升响应速度, 同时降低失配引起的误差。图 4 为常见静态预放大再生比较器结构, 预放大电路 M0 提供尾电流, 其栅极电压由偏置电路产生。

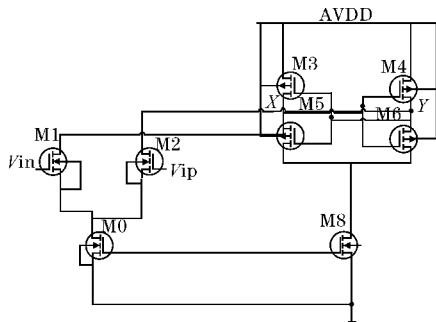


图4 静态预放大再生比较器

V_{OS_OP} 表示用电压源等效的预放大器失调电压, 增益为 A_{V_OP} , V_{OS_com} 表示用电压源等效的比较器失调电压, 则电路等效输入失调电压为

$$V_{offset} = \sqrt{V_{OS_OP}^2 + \frac{V_{OS_com}^2}{A_{V_OP}^2}} \quad (2)$$

式中, 失调电压转换为电路整体的失调电压, 并且由于分母为放大倍数, 极大降低了比较器失调。通过自动校零方案能够继续抵消放大电路的电压失调部分^[10]。

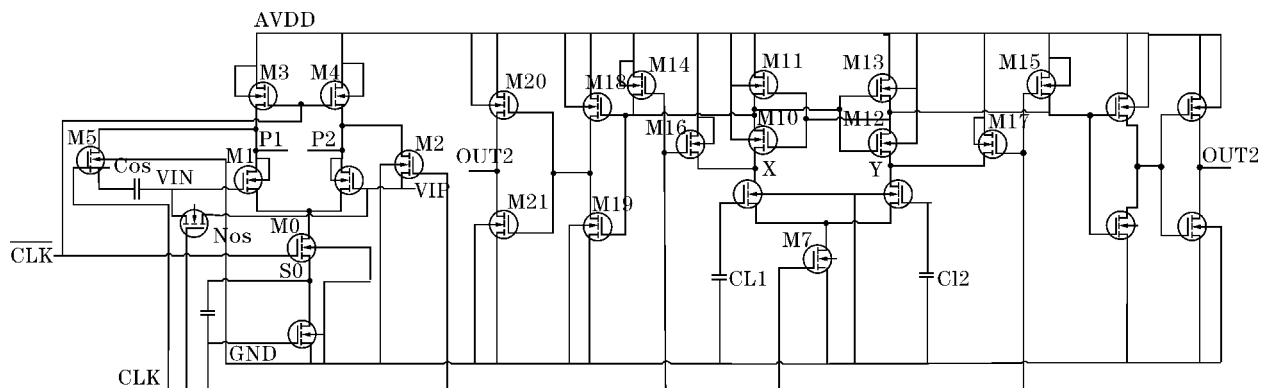


图6 整体电路

推挽结构首尾相接组成的锁存器, 在时钟为低时信号由预放大器输出至节点 X, Y 。此时两节点电压分别为 V_X 与 V_Y , 在时钟为高时放大 V_X 与 V_Y 差值, 推挽反相器增益为

$$A = g_{m3,5}(r_{o3} + r_{o5}) = \frac{\Delta V_{OUT}}{V_X - V_Y} \quad (3)$$

由图 5 锁存器小信号模型分析可知:

$$\frac{[g_{m3,5}(r_{o3} + r_{o5}) - 1]}{C(r_{o3} + r_{o5})} = \frac{d(V_X - V_Y)}{dt} \quad (4)$$

C 代表输出端寄生电容, $C(r_{o3} + r_{o5})$ 是时间常数 τ , 积分可得到传输延迟:

$$t = \frac{\tau}{A-1} \ln(V_X - V_Y) \quad (5)$$

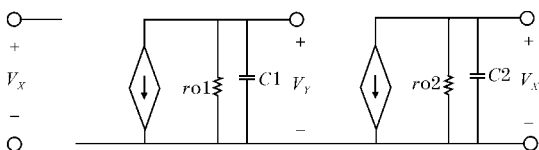


图5 锁存器小信号模型

由式 (5) 知提升增益可降低传输延时^[11]。提升增益考虑通过提升锁存电路 MOS 管跨导, 减小寄生电容, 延长 MOS 线宽等方法。图 4 电路锁存器输出端与输入均为节点 X, Y , 将引起较为严重的回踢噪声, 最终会降低电路精度等性能。并且预放大器处于静态工作, 尾电流持续供电, 始终产生静态功耗。

3 预放大再生锁存比较器设计

图 6 为给出的动态比较器电路, 电路结构可分为动态预放大电路与比较器 2 个模块。设计采用动态放大器, 放大器输出直接接入比较器 M8, M9S 栅极, 可以降低回踢噪声干扰。电路均为动态偏置, 不产生静态功耗。

预放大电路的延迟为两个输出端从电源电压 VDD 放电至输出结果,延迟时间为

$$t_{\text{dely}} = \frac{(V_{\text{DD}} - V_{\text{OUTN}}) C_{\text{L}}}{I_{\text{d1}}} \quad (6)$$

$$t_{\text{dely}} = \frac{(V_{\text{DD}} - V_{\text{OUTP}}) C_{\text{L}}}{I_{\text{d2}}} \quad (7)$$

由公式(7)、(8)可得

$$t_{\text{dely}} = \frac{C_{\text{L}}}{\Delta I_{\text{OUT}}} \quad (8)$$

由于输入常与参考电压比较,差分电路中, ΔI_{OUT} 与输入电压差值呈奇函数关系^[12-14],满足

$$\Delta I_{\text{OUT}} = \frac{1}{2} K \Delta V_{\text{IN}} \sqrt{\frac{4I_{\text{OUT}}}{K} - \Delta V_{\text{IN}}^2} \quad (9)$$

结合式(9)、(10)知,差分输入摆幅越高,传输延迟随之降低。

图 6 中 M1、M2 构成差分输入管,其栅极连接前置放大器输入信号,M5、M6、Mos 为自动校零开关。

在时钟信号处于高电位阶段,M0、M11、M12 截止,M5、M6、Mos 开启自动校零。电容 Cos 采样失调电压值,存储电荷量为

$$Q = C_{\text{OS}} \times V_{\text{OS}} \quad (10)$$

M3、M4 由于支路无电流,因此输出节点 P1、P2 电位提高到电源电压,前置放大器复位。比较器进入判决输出过程,完成有效输出。

当时钟信号为低电平,前置放大器 M0 开启,M3、M4 关闭,自动校零开关断开,前置放大器输出电压为

$$V_{\text{Out}} = A_V [(V_{\text{in}} - V_{\text{IP}} + V_{\text{OS}}) - V_{\text{OS}}] \quad (11)$$

$$V_{\text{Out}} = A_V \Delta V_{\text{in}} \quad (12)$$

同时 M11、M12 开启,比较器电路部分进入复位状态,M11、M12 处于深线性区,使节点 X、Y 充电至 VDD,此时比较器输出无效,始终为 VDD。

4 仿真结果与分析

设计使用 Hspice 软件进行电路仿真,仿真环境为电源信号 1.5 V,时钟频率 35 M,TT 工艺角。仿真结果如图 7 所示,第一、二栏是互补时钟信号 CLK;第三栏

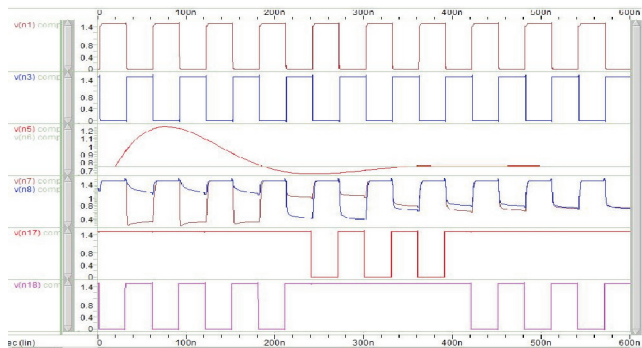


图 7 仿真结果

为设置的正弦输入信号 VIN 与基准电压 0.75V。第四栏为预防大输出,五、六栏为输出结果。由仿真可知, $V_{\text{in}} - V_{\text{ref}} < 1 \text{ mV}$,比较器能够进行比较可知精度小于 1 mV。平均功耗为 82 μW 。

5 结束语

模拟集成电路历经几十年的蓬勃发展,出现了很多比较器架构,有着不同优势与特性。^[15]对比常见的几种比较器结构,选择动态放大器作为前置放大电路,降低了电路功耗,并且由于放大器输出接入比较器栅极,有效抑制了回踢噪声,改善了比较器的性能指标。

参考文献:

- [1] 吕伟. 用于无线传感网络的逐次逼近型模数转换器研究与实现[D]. 合肥:中国科学技术大学,2013.
- [2] 尹文倩. 高速高精度比较器的研究与设计[D]. 西安:西安电子科技大学,2019.
- [3] 游恒果. 高速低功耗比较器设计[D]. 西安:西安电子科技大学,2011.
- [4] 陈铨颖,杨丽琼,王统. CMOS. 模拟集成电路设计与仿真实例[M]. 北京:电子工业出版社,2014:19-20.
- [5] 王宇杰. 16Gb/s SerDes DFE 中高速低功耗比较器的设计[D]. 北京:北京交通大学,2007.
- [6] 李月梅. 低功耗比较器电路研究[D]. 北京:北京交通大学,2007.
- [7] 李林. 高精度电流比较器的设计[D]. 天津:天津大学,2008.
- [8] 毕查德 拉扎维. 模拟 CMOS 集成电路设计[M]. 西安:西安交通大学出版社,2003:50-150.
- [9] Bakhtar SI, DaluS. Design and Implementation of Low Power Pipeline ADC[C]. International Conference on Research in Intelligent and Computing in Engineering(RICE), IEEE,2018:1-4.
- [10] Mustafa K, Mavrogordatos T G, Yusuf L. A hybrid CDAC-threshold configuring SAR ADC in 28nmFDSOICMOS[J]. Analog Integrated Circuit-sand Signal Processing,2018,97(3):397-404.
- [11] Xiaocui Li, Ting Zhou, Yuxin Ji, et al. A 0.35 V-to-1.0 V synthesizable rail-to-rail dynamic voltage comparator based OAI & AOI logic[J]. Analog Integrated Circuits and Signal Processing: An

- International Journal,2020,104(3):351–357.
- [12] Jennifer A Namazy, Lucie Blais, Elizabeth B. Andrews et al. Pregnancy outcomes in the omalizumab pregnancy registry and a disease-matched comparator cohort [J]. The Journal of Allergy and Clinical Immunology,2020,145(2):122–130.
- [13] James L, McCreary, Paul R. Gray. All-MOS Charge Redistribution Analog-to-Digital Conversion Techniques-Part I[J]. IEEE Journal of Solid-State Circuits,1975,10(6):371–379.
- [14] Pfaller M A, Flamm R K, Duncan L R, et al. Antimicrobial activity of ceftobiprole and comparator agents when tested against contemporary Gram-positive and-negative organisms collected from Europe[J]. Diagnostic Microbiology & Infectious Disease,2018,91(1):77–84.
- [15] Zhenwei Zhang, Yi Shan, Yemin Dong. A 16 bit 200 kS/s successive approximation register ADC with foreground on-chip self-calibration [J]. IEICE Electronics Express,2020,17(10):17–27.

Design of a High Speed and Low Power Comparator

LIU Jujing¹, WANG Haishi¹, HU Shipeng²

(1. College of Communication Engineering, Chengdu University of Information Technology, Chengdu 610225, China; 2. College of electronic Engineering, Chengdu University of Information Technology, Chengdu 610225, China)

Abstract: The performance optimization of analog digital converter promotes the development of comparator circuit, and the comparator which is suitable for high speed and low power consumption is the main development direction at present. The dynamic comparator presented in this paper is using a dynamic preamplifier circuit structure to realize the characteristics of low power consumption and high speed comparator. The preamplifier can enhance the speed of comparator and reduce the offset voltage conditions of comparator effectively in the same time. The simulation results show that the clock frequency is 35 M, when the power supply voltage is 1.5 V, average power consumption of the comparator is 82 μ W, the precision of comparator is less than 1mV, and the offset voltage is less than 0.5 mV.

Keywords: comparator Integrated circuit; analog to digital conversion circuit; comparator; preamplifier circuit; latch