

文章编号: 2096-1618(2022)03-0266-04

# 28 通道收发处理模块设计

咎智明, 杜雨谔, 余志强, 李一杰  
(成都信息工程大学电子工程学院, 四川 成都 610225)

**摘要:**介绍一种基于 FPGA、多通道 DA/AD 的阵列信号收发处理硬件结构,是目前相控阵阵列信号生成、数字波束处理的常用技术手段。与现有中频相参多级变频调制/解调技术相比,该方案采用集成式芯片 AD9371,通过内置混频器及 DDS 技术直接产生射频信号,可减小 TR 组件体积,提高系统集成度,对多通道 TR 组件通道的工程设计有一定参考价值。

**关键词:**FPGA;多通道 AD/DA;AD9371;DDS

**中图分类号:**TN792

**文献标志码:**A

**doi:**10.16836/j.cnki.jcuit.2022.03.005

## 0 引言

在多天线、多通道的 MIMO 无线通信系统及雷达系统中,射频收发机的每一个通道都包含独立的放大器、滤波器、混频器等器件芯片单元,这些芯片单元具有将电磁波的输入信号放大、滤波及混频等功能<sup>[1]</sup>。随着通道数量的增多,收发前端芯片的总面积成倍增加,当天线数量达到几十甚至几百个时,芯片面积和成本几乎大到无法接受的程度。为减小无线电的尺寸、重量及功耗,同时保持尽可能高的无线电特性。平台采用具有双通道收发功能的 AD9371 射频芯片,在 MIMO 系统设计中能够很大程度的节省面积、减轻重量、降低功耗<sup>[2]</sup>。

## 1 核心器件

28 通道收发处理模块核心器件主要包含 AD9371 和 Xilinx Virtex XC7VX690T。

AD9371 是一款高度集成的宽带 RF 收发器,提供双通道差分器和接收器、集成式频率合成器和数字信号处理功能。此 IC 支持最高 100 MHz 接收器带宽,同时还支持带宽高达 250 MHz 的观测接收器和发送频率合成,能够适应数字校正算法。

XC7VX690T 属于 Xilinx Virtex<sup>®</sup>-7 FPGA 系列,是业界最高性能的 FPGA,它针对 28 nm 系统性能与集成进行了优化,可以提供业界最佳的功耗性能比架构、最佳的 DSP 性能及最佳的 I/O 带宽。Xilinx Virtex<sup>®</sup>-7 XC7VX690T 提供的 GTH 高速收发器,最高速率达

到 28.05 Gb/s,满足 AD9371 中 JESD204B<sup>[3]</sup> 数字接口要求。并且 XC7VX690T 根据封装不同可提供 20~80 路 GTH,可以与多个 AD9371 实现 JESD204B 的宽带串行数据通信,非常适合实现 28 通道收发处理模块内部数字接口的设计要求。

## 2 总体方案设计

28 通道收发处理模块采用 FPGA+AD9371×14 现单板 28 路 C 波段信号发射、信号接收,AD9371 实现输入信号放大、滤波及混频等功能。但是针对大规模 MIMO 系统设计,FPGA 除了需要提供与 AD9371 高带宽数据通道接口外,还需要实现滤波、编码、调制等各种复杂的计算,对 FPGA 内资源数量和性能要求都很高<sup>[4]</sup>。所以 28 通道收发处理模块的 FPGA 选择 Xilinx Virtex<sup>®</sup>-7 XC7VX690T,可以满足在相控阵雷达、电子监控及宽带无线通信这些系统中的应用需求。

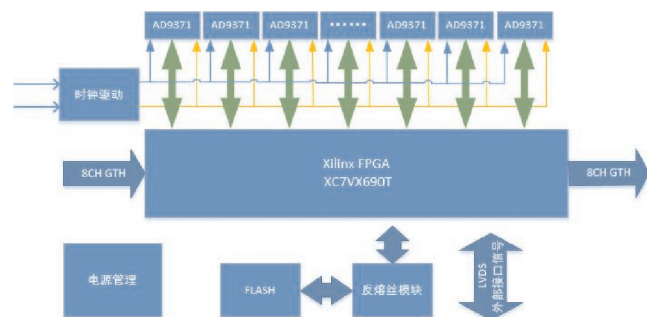


图 1 28 通道收发处理模块架构

模块(图 1)主要由 14 片宽带射频收发 IC (AD9371)、1 片高性能 FPGA (XC7VX690T) 和其他相应的射频和数字外围电路构成。多路 AD9371 通过

JESD204B 接口与 XCVX690T 进行 AD 和 DA 数据高速交换。另外,采用 GTH 收发高速接口实现与其他模块的数据交互。

### 3 硬件方案设计

#### 3.1 AD9371 与 XC7VX690T 接口设计

AD9371 与 XC7VX690T 通信采用 SPI 和 JESD204B 接口实现。首先是在 ARM 端进行初始化参数配置,然后通过一组 SPI 接口传输到 FPGA 端,FPGA 扇出 14 组 SPI 接口,同时对 14 片 AD9371 进行配置。JESD204B 接口实现 FPGA 与 AD9371 高速 ADC/DAC 的数据交换<sup>[3]</sup>。

#### 3.2 AD9371 前端接口设计

AD9371 的 Tx 在一个频率范围内工作,在全输出功率下,每个差分输出侧引出大约 100 mA 的直流偏置电流。Tx 输出采用射频扼流圈(线绕电感)或变压器中心抽头连接,直流偏置至 1.8 V 电源电压。为确保最佳的射频性能水平,需要仔细设计直流偏置网络,可以选择具有低直流电阻(RDCR)的元件<sup>[5]</sup>。

#### 3.3 时钟驱动设计

28 通道收发处理模块内部设计有独立的时钟模块(图 2),可使用模块内部的 OCXO 恒温晶体时钟作为输入,也可以选择外部时钟作为输入,产生多路同步时钟给 AD9371,同时也可以输出时钟,供其他模块使用。

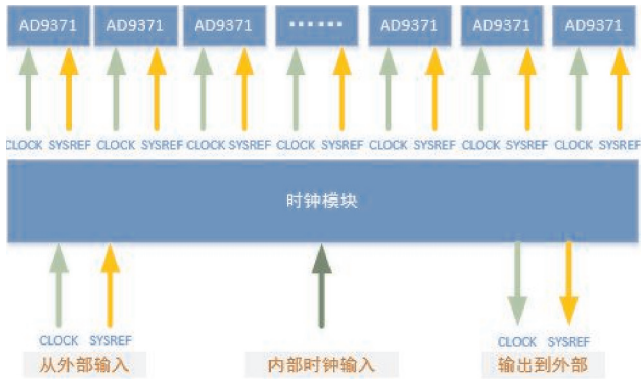


图 2 28 通道收发处理模块时钟设计

#### 3.4 板内 AD9371 同步设计

AD9371 通过 JESD204B 链路实现数据传输,JESD204B 链路系统设计一般分为 3 类,这里采用子类—<sup>[6]</sup>。如图 3 所示,整个 204B 链路系统由 Device

Clock 和 SYSREF 决定数据的通信时序。因此要完成多片 AD9371 的板内同步设计,关键是控制好上述两个时钟信号,同时 PCB 采用等长的布线,尽量消除走线延时所带来的时延误差<sup>[7]</sup>。

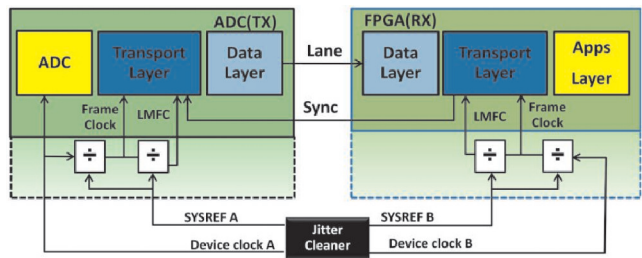


图 3 JESD204B 系统连接

#### 3.5 电源设计

28 通道收发处理模块需要提供高品质电源,以求每个器件能在最佳状态下工作,所以对 28 通道收发处理模块电源设计如图 4 所示。

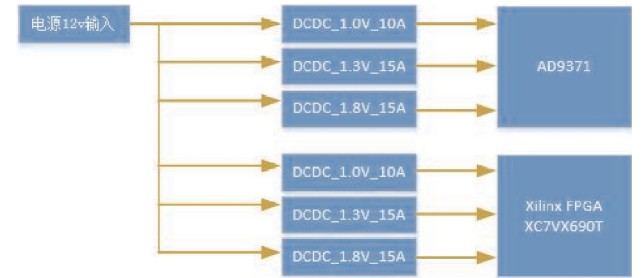


图 4 28 通道收发处理模块电源设计框图

DCDC 关键器件选择 LTM4638。LTM4638 是一款完整的 15 A 降压型开关模式  $\mu$ Module(电源模块)稳压器,采用纤巧型 6.25 mm×6.25 mm×5.02 mm BGA 封装。LTM4638 的工作输入电压为 3.1~20 V,支持 0.6~5.5 V 的输出电压(该范围由单个外部电阻器设定)。

#### 3.6 散热设计

28 通道收发处理模块的功耗按 115 W 计算,提供散热片散热,受制于体积和重量的限制,散热片不能太大,所以外界环境需要提供强迫风冷。

### 4 基础软件设计

28 通道收发处理模块基础软件设计包括:AD9371 初始化程序,通道配置参数的存储、加载,JESD204B 时钟软件配置,JESD204B 数据采集实现,AD9371 的校准。

#### 4.1 AD9371 初始化程序

AD9371 的初始化主要使用官方提供的 API 函数

做修改,主函数模块是整个初始化程序的主函数,在里面首先对 FPGA 端 IP 核复位,然后调用 AD9528 初始化函数对 AD9528 进行初始化,等待 FPGA 程序加载完成后,初始化 AD9371。headless.c 模块是根据官方提供的 AD9371 Transceiver Evaluation Software 这个软件,根据实际需求配置后生成,这里需要注意的是 calibration 选择的设置。myk\_init.c 模块也是根据上面软件生成的,需要注意的是 JESD204B Setup 选项的设置,必须要与 FPGA 中调用的 204B 的 IP 核配置一样,不然后面 FPGA 与 AD9371 无法建立起链路的连接。

#### 4.2 通道配置参数的存储和加载

AD9371 与 FPGA 之间通过 JESD204B 接口来传输,通过 AD9371 配置软件,可以根据需要配置各个通道的参数<sup>[7]</sup>。在设计中,Device Clock 采用的是 122.88 M,使用外部的 Sysref Clock, lane 的数量为 2, Lane Rate 为 4.9152 G,一个多帧包 32 个帧,AD/DA 器件的转化通道数为 4,每帧包含的字节数为 4,并且选择 Scrambling。

#### 4.3 JESD204B 时钟软件配置

整个板卡共 14 片 AD9371,需产生 7 路 122.88 M 设备时钟,7 路同步时钟(用于 jesd204b 做同步使用)。

首先,采用 1 个 122.88 M 的恒温晶振,产生 1 个 122.88 M 时钟作为第一级的参考时钟,然后第一级 AD9528 同时产生 4 路 122.88 M 设备时钟和 4 路同步时钟,传到第二级的 4 片 AD9528;第二级 4 片 AD9528 共产生 7 路 122.88 M 设备时钟和 7 路的同步时钟,分别送给 14 片 AD9371。

#### 4.4 JESD204B 数据采集的实现

AD9371 与 FPGA 之间采用 JESD204B 高速串行接口通信<sup>[8]</sup>。根据 204B 的数据手册,设计采用的是 QPLL 模式,即 2 个 Bank 共用 1 个 122.88 M 设备时钟和 1 个同步时钟。当 204B 接口配置后,RX\_SYNC,TX\_SYNC 分别拉高,并且 TX\_TREADY 和 RX\_TVAILD 拉高,表示链路连接成功可以开始传输数据<sup>[9]</sup>。

#### 4.5 AD9371 的校准

AD9371 配备内置 Arm 处理器。此 Arm 处理器可以执行信号路径的初始校准,并通过跟踪校准来保持设备性能。当 Arm 固件映像后,进入就绪/空闲状态。在此状态下,就可以接收配置设置或命令(指令),例

如执行设备的初始校准或启用跟踪校准。

## 5 测试结果

### 5.1 频谱仪测试 1 片 AD9371 的 Tx 信号

在 FPGA 中通过 DDS 产生一个 10 M 的 IQ 信号,软件设置 LO(本振频率为 1.44 GHz),在发射端通过手持频谱仪检测任意 1 片 AD9371 发射出的 Tx 信号,结果如图 5 所示。调制后的信号为 1.45 GHz,功率为 -21.94 dBm 左右,而中心频率 1.44 GHz 处的功率比发射信号 Tx 处的功率小了 40 多个 dB。表明 AD9371 工作正常,FPGA 与 AD9371 之间的高速串行接口连接正确,并且在消除本振操作后,本振泄露得到有效抑制。

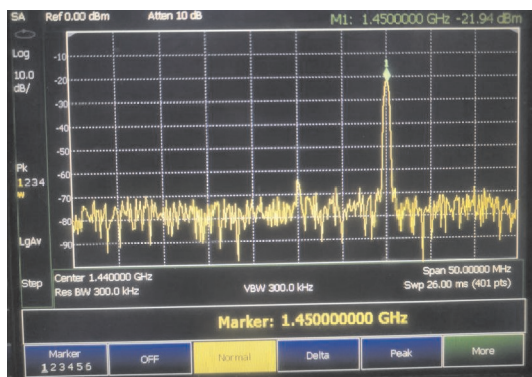


图5 任意 1 片 AD9371 的 1 个 Tx 的信号

### 5.2 高速示波器测试 2 片 AD9371 的 2 个 Tx 信号

在 FPGA 中通过 DDS 产生 1 个 10 M 的 IQ 信号,软件设置 LO(本振)为 2.49 GHz,通过高速示波器同时测试任意 2 片 AD937 发射出来的 2 个 Tx 信号,结果如图 6 所示。2 个信号频率均为 2.5 GHz 左右,并且 2 个通道出来的信号存在稳定的相位差。表明 AD9371 的 2 个发射通道工作正常,对于 2 个通道存在固定的相位差,后面通过相位校准,可以消除这个相位误差。

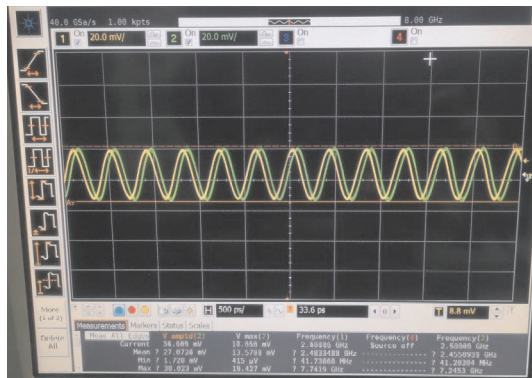


图6 任意 2 片 AD9371 的 Tx 信号



5.3 回环测试

在 FPGA 中通过 DDS 产生 1 个 10M 的 IQ 信号,通过第 13 通道 Tx 发射出去,再用回环线将 Tx,接回到第 12 通道的 Rx 上,在 FPGA 中 debug 抓出收到的解调后的零中频信号。实验结果如图 7 所示,发射出去的信号和接收回来的信号基本一致,表明 AD9371 正常。

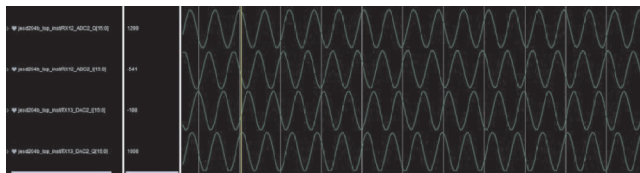


图 7 FPGA 接收的 Rx 信号

6 结束语

主要介绍以 AD9371 为核心来搭建一个多通道的射频收发系统,并描述如何使用 JESD204B 高速串行接口来实现 AD9371 与主控 FPGA 之间的通信,并且说明如何实现板内多通道之间的同步。通过测试结果,验证方法的可行性,为设计 MIMO 系统提供一个有效的解决方案,具有较强的工程实用性和借鉴意义。

参考文献:

[1] 沈俊. 基于 Xilinx FPGA+AD9361 的软件无线电

平台设计与实现[J]. 电子元器件与信息技术,2018 (9):58-60.

[2] 张仁良. 一种基于 AD9371 的 SDR 硬件平台 [D]. 北京:中国科学院大学(中国科学院国家空间科学中心),2019.

[3] 焦喜香,吴兵,李武建,等. 基于 JESD204B 协议的高速雷达数字接收机设计[J]. 信息通信, 2016(6):42-44.

[4] 苏新. 基于 AD9361 的软件无线电硬件平台的设计与实现[D]. 北京:北京邮电大学,2018.

[5] 张大旭. 集成式收发机芯片 AD9371 射频系统设计 [D]. 南京:东南大学,2018.

[6] 吕志鹏,马小兵,禹卫东. JESD204B Subclass1 模式时钟设计与调试[J]. 电子技术应用,2018,44 (4):56-60.

[7] 欧阳靖,姚亚峰,霍兴华,等. JESD204B 协议中发送端同步电路设计与实现[J]. 电子器件, 2017,40(1):118-124.

[8] 周典森,徐晖,陈维华,等. 基于 JESD204B 协议的数据传输接口设计[J]. 电子科技 2015, 28 (10):53-60.

[9] JONATHANH. 了解 JESD204B 链路参数[J]. 中国电子商情,2014(10):17-19.

Design of 28-channel Transceiver Processing Module

ZAN Zhiming, DU Yuming, YU Zhiqiang, LI Yijie  
(College of Electronic Engineering, Chengdu University of Information Technology, Chengdu 610225, China)

**Abstract:** This article introduces a hardware structure of array signal receiving and sending processing based on FPGA and multi-channel DA/AD, which is a common technical means for array signal generation and digital beam processing in phased array radar. Compared with the existing IF coherent multi-level frequency conversion modulation/demodulation technology, this solution uses the integrated chip AD9371 to directly generate radio frequency signals through the built-in mixer and DDS technology, which can reduce the volume of TR components and improve system integration. It has certain reference value for the engineering design of multi-channel TR component channel.

**Keywords:** FPGA; multi-channel AD/DA; AD9371; DDS