

文章编号: 2096-1618(2022)04-0392-04

一种基于 0.18 μm SiGe 工艺的 8 GHz 前置分频器

张红¹, 张振宁², 叶松¹

(1. 成都信息工程大学通信工程学院, 四川 成都 610225; 2. 成都铨通科技有限公司, 四川 成都 610225)

摘要:随着无线通信技术的高速发展,对高频率高带宽的频率源需求愈加迫切。在高频大带宽频率源中,高性能的分频器是一个重要的部分。为满足高频宽带通信的应用需求,设计实现了基于电流模逻辑结构的高频宽带除 8/9、16/17 前置分频器。通过分析 CML 锁存器工作原理与性能,设计了优化参数的集合与门的 CML 结构 D 触发器、双路选择器、逻辑或门结构,并基于该 D 触发器、选择器、或门设计了除 8/9、16/17 前置分频器。前置分频器使用 0.18 μm SiGe BiCMOS 工艺流片并测试,测试结果表明,在 3.3 V 电源电压下,分频器工作频率可达 20 MHz ~ 8 GHz,带宽约 8 GHz,功耗 6.6 mW。与其他设计相比,设计的分频器功耗低同时还具有较高的工作频率和大的带宽。

关键词: CML; 前置分频器; HBT; SiGe; BiCMOS

中图分类号: TN772

文献标志码: A

doi: 10.16836/j.cnki.jcuit.2022.04.005

0 引言

近年来,随着通信技术的发展,无线通信工作频率与频段都不断提高。高频、宽带、性能优异的频率源已成为各类通信系统的一大要求。在电子系统中,前置分频器通常是在系统最高频率下工作,直接与电路中的最高频率信号对接,其工作速度决定了整个系统的最高工作频率,工作带宽决定了系统带宽。为满足高速大带宽应用,研究和设计具有较高工作速度和大带宽的前置分频器,对高频系统的应用具有理论和实际意义。

前置高速分频器一般有注入锁定分频器结构(injection-locked frequency divider, ILFD)或使用 D 触发器作为基本单元的拓扑结构^[1]。ILFD 工作频率高,带宽相对较窄。而高速数字触发器虽然速度相对 ILFD 略低,但带宽更大,能够有效兼顾高工作频率和带宽的关系。通常使用的高速数字触发器有电流模逻辑结构(current mode logic, CML)、真单时钟结构(true single-phase-clock, TSPC)和伪差分结构。相比其他两种结构, CML 因差分工作及使用固定的尾电流源偏置^[2],不但具备强抗干扰性和工作功耗几乎不随频率变化的特点,而且工作速度更快,工作带宽可调^[3]。本文使用 CML D 触发器的这一特点来实现分频器,以满足前置分频器的高速大带宽性能。

1 双模前置分频器整体结构

整体原理框图如图 1 所示,该电路主要由同步结构、异步结构和反馈结构 3 部分组成。SW 位控制电路选择进行 8/9 或 16/17 分频, MoC 在选定 8/9 或

16/17 分频之后确定具体分频比。电路虚线框内为同步除 4/5 分频器,当 MC 为 0 时,实现 4 分频, MC 为 1 时,实现 5 分频。整个同步结构工作在输入频率上,工作频率高,工作速度和功耗需求较高。

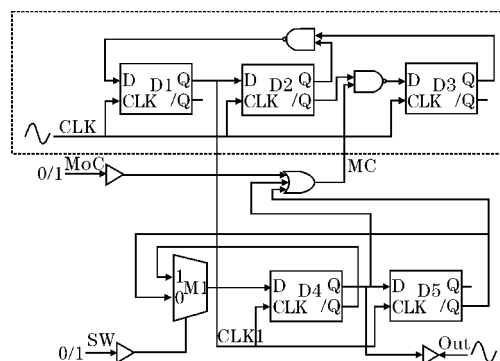


图1 除 8/9、16/17 分频器原理框图

图 1 电路下半部分由 D 触发器和双路选择器组合构成一个由 SW 控制的除 2/4 分频器结构,整个异步结构工作在除 4/5 分频器分频输出后的工作频率下,工作频率较低,可以在此部分适当降低功耗^[4]。

电路反馈部分使用或门,实现除 2/4 分频结构输出的反馈和 MoC 控制信号输入。

2 具体实现

2.1 基于 CML 结构锁存器实现

锁存器是一种特殊的存储电路单元,对特定的输入脉冲产生响应。图 2 为基于 CML 结构的锁存器电路原理图。 Q_1 、 Q_2 构成采样电路, Q_3 、 Q_4 作为存储电路, Q_5 、 Q_6 组成时钟输入电路, Q_7 、 Rb 充当偏置电流源。负载使用 Poly 电阻 R , 与电流源使用相同电阻以

表1 融合与门的 CML 锁存器输入输出逻辑表

输入端名		输入信号			
AP BP	0 0	0 1	1 0	1 1	
AN BN	1 1	1 0	0 1	0 0	
OP	1	1	1	0	
ON	0	0	0	1	

如表1所示,CKP、CKN 控制锁存器进行数据采样和锁存,在锁存器工作于数据读取状态下,ON = AP · BP,实现 AP、BP 端输入相与,OP 为 ON 取反,实现 AP、BP 端输入的与非。同时,若信号由 AN、BN 端输入,则有 OP=AN+BN,实现 AN、BN 端输入相或,ON 为 OP 取反,实现 AN、BN 端输入的或非。利用此原理可灵活简化带与门、或门的锁存器结构。相比普通的将输入与非门单独设计,该电路结构既减少了一个与非门延迟以提高工作频率,又节省一级电流。

Q₈ 使用二极管连接方式用于与前级电压平衡。由图5可知,此结构由于多引入一层晶体管,需要更高工作电压。本设计提供的电压为3.3 V,电压裕度充足,可放心使用该结构。

2.3 CML 结构双路选择器

CML 结构双路选择器与常用差分电路没有本质区别,为了实现选择功能,在输出线路 OP、ON 上并联一级 Q₃、Q₄、Q₆ 作为第二路输入信号部分,如图6所示,仿真结果见图7。Q₅、Q₆ 作为控制电路实现输入信号的选择性接收,Q₁~Q₄ 实现两路输入信号的采样。当 SWP 为高,SWN 为低时,选择器实现 A 端信号采样,阻断 B 端信号。当 SWP 为低,SWN 为高时,则相反。

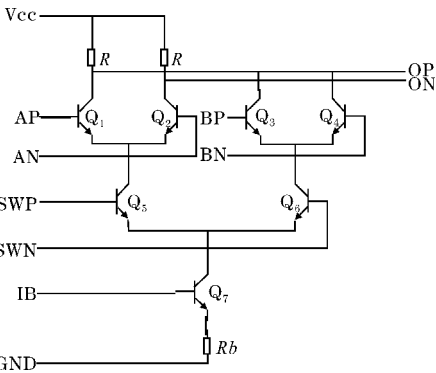


图6 两路选择器

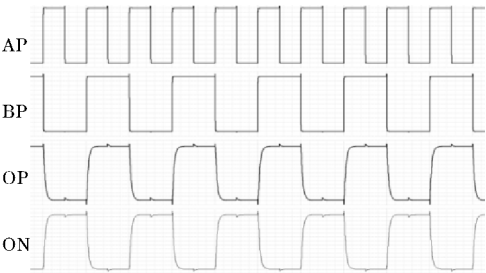


图7 选择器波形图(SWP 为 0,SWN 为 1)

2.4 CML 结构三输入或门

运用逻辑表(表1)的分析方法,可得出 $OP = AP + BP + CP$,等于 AP、BP、CP 三输入的逻辑或,ON 为 OP 的非,实现 AP、BP、CP 三输入的逻辑或非。创新性使用该逻辑门结构,相比两级或门级联实现三输入或门的方式,不但节省了一级或门的功耗而且减小了一路延时。电路结构见图8。

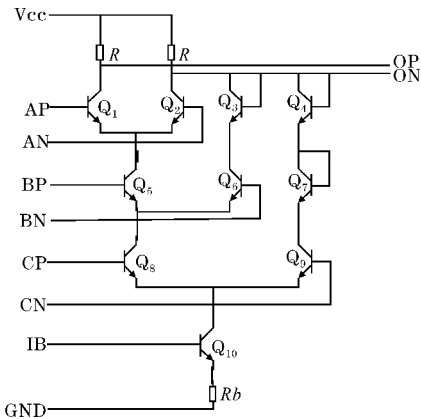


图8 三输入或门

3 验证结果

采用0.18 μm BiCMOS 工艺实现了双模前置分频器(图9),分频器芯片核心尺寸为550 μm×450 μm,包含焊盘时尺寸则为980 μm ×860 μm,其中加入足够接地引脚和大量电容滤波保证可靠接地和减少电源噪声。电路使用裸片键合于 PCB 板上进行测试。测试结果表明电路在电源电压3.3 V输入功率0 dBm时,工作频率在20 MHz~8 GHz处,均能够实现除 8/9/16/17 正常分频,在8 GHz输入频率,电路在除8/9、除16/17分频时,分频器不接外部负载工作电流分别为 1.992 mA、1.991 mA、1.991 mA、1.991 mA。可见该分频器由于工作电流由尾电流决定,与工作频率和分频比几乎无关,工作频率越高越能体现其优势。芯片整体功耗约为6.6 mW。

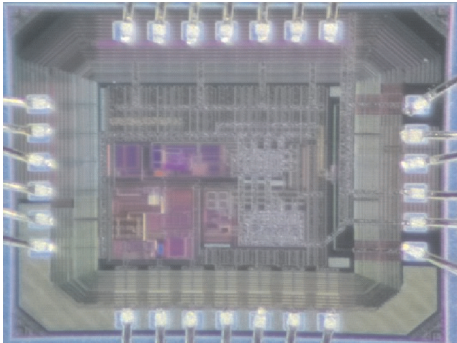


图9 前置分频器芯片照片

图10 为输入 0 dBm 8 GHz 差分信号,分频比设置为 17 的分频器输出频谱。分频器性能对比见表2。



图 10 输入频率 8 GHz,分频比为 17 的输出频谱

表 2 分频器性能对比

参数	文献[7]	文献[8]	文献[9]	本文
分频比	64 ~ 127	64/65/128/129	3/4	8/9/16/17
电源电压/V	3	3.3 ~ 5.5	1.8	3.3
BiCMOS 工艺/ μm	0.3	0.35	0.18	0.18
最高频率/GHz	3	5	10	8
带宽/GHz	—	5	—	8
功耗/mW	12	12.84 ~ 27.23	8.6	6.6

4 结束语

基于 CML 基本和改进结构,对双模分频器进行了结构和功能分析,对 CML 锁存器性能和参数进行了着重分析。最终采用0.18 μm BiCMOS 工艺制作实现了一个除 8/9、16/17 分频器芯片。分频器芯片工作电压为3.3 V,输出不接外部负载时工作电流约2 mA,通过对器件单元结构和参数的优化,分频器分频频率可达 8 GHz,带宽最大约8 GHz。该分频器由于采用更先进的工艺和对参数结构的优化,比其他分频器拥有更低的功耗,更宽的工作范围和更高的工作频率,适用于频带范围宽和工作频率较高的通信系统。

参考文献:

[1] Purohit S,Nirmal U. A Novel 8.4 GHz High Speed and Low Power Design of Programmable Divider in 180nm CMOS Technology [C]. 2019 2nd International Conference on Intelligent Communication and Computational Techniques(ICCT) ,2019:192–195.

[2] Zhou C,Zhang L,Zhang L, et al. Injection-Locking-Based Power and Speed Optimization of CML Dividers[J]. in IEEE Transactions on Circuits and Systems II:Express Briefs,2011 ,58(9) :565–569.

[3] Wu Z, Chen Z, Zhou C, et al. A 0.5–14.5GHz Frequency Divider for Wide Band Fractional-N Frequency Synthesizers [C]. 2021 International Conference on Microwave and Millimeter Wave Technology (ICMMT) ,2021 :1–3.

[4] 杨靖文. 应用于超宽带毫米波频率源的 12–20 GHz 8/9 双模分频器设计[D]. 南京:东南大学,2018.

[5] 阎述昱. 应用于超宽带毫米波频率源的 40GHz 分频器研究与设计[D],南京:东南大学,2018.

[6] Maity S, Kumar Jana S. Design of a Low Power High Speed CML-Based Divide-by-5 Pre-Scaler in 180 nm Process Technology [C]. 2020 IEEE Applied Signal Processing Conference (ASPCON) , 2020:303–307.

[7] 袁博鲁. 一种射频可编程 N 分频器的设计[J]. 微电子学,2012,42(1) :84–86.

[8] 王永禄,杨毓军,周述涛. 一种超低功耗 5GHz 双模预置分频器[J]. 微电子学,2006(5) :655–658.

[9] Wang K, Ma K, Yeo K S. Low-power high-speed dual-modulus prescaler for Gb/s applications [C]. 2012 IEEE Asia Pacific Conference on Circuits and Systems,2012:256–259.

A 8 GHz Prescaler in a 0.18 μm SiGe Technology

ZHANG Hong¹, ZHANG Zhenning², YE Song¹

(1. College of Communication Engineering, Chengdu University of Information Technology, Chengdu 610225, China; 2. Iridium Communications Ltd., Chengdu 610225, China)

Abstract: With the rapid development of wireless communication technology, the demand for high frequency and wideband frequency sources is becoming more and more urgent. In the high frequency and wideband frequency sources, the high performance Prescaler is an important part. In order to meet the application requirements of high frequency wideband communication, a high frequency wideband prescaler 8/9 and 16/17 based on CML structure is designed and implemented in this paper. By analyzing the working principle and performance of CML latch, the CML structure D flip-flop, double selector and logic OR gate structure of optimized parameter set AND gate are designed, and based on the D flip-flop, selector and OR gate, prescaler 8/9 and 16/17 are designed. The prescaler was tested by 0.18 μm SiGe BiCMOS process. The test results show that under 3.3 V power supply voltage, the working frequency of the divider can reach 20 MHz–8 GHz, the bandwidth is about 8 GHz, and the power consumption is about 6.6 mW. Compared with other designs, the frequency divider designed in this paper has lower power consumption and higher working frequency and large bandwidth.

Keywords: CML; prescaler; HBT; SiGe; BiCMOS