

文章编号: 2096-1618(2022)04-0401-05

# 基于发射极耦合逻辑结构的低相噪鉴频鉴相器设计

黄洋洋, 陈昌明

(成都信息工程大学通信工程学院, 四川 成都 610225)

**摘要:**在现代通信系统中,具有优异相位噪声的鉴频鉴相器(phase frequency detector, PFD)对锁相环(phase locked loop, PLL)来说至关重要。基于0.18  $\mu\text{m}$  SiGe HBT 工艺设计一款超低相噪 PFD。为消除鉴相死区对 PLL 相位噪声的影响,加入复位延时单元。PFD 的逻辑电路均采用发射极耦合逻辑(emitter coupled logic, ECL)结构,从而获得 $-156\text{ dBc/Hz}@10\text{ kHz}$ 超低相噪特性。在5 V电源电压下,PFD 的工作频率可以达到1 GHz,且在复位脉冲宽度为145 ps时鉴相范围拓宽到 $[-1.56\pi, 1.56\pi]$ 。

**关键词:**锁相环;鉴频鉴相器;ECL;1/f 噪声;相位噪声

**中图分类号:**TN432

**文献标志码:**A

**doi:**10.16836/j.cnki.jcuit.2022.04.007

## 0 引言

PLL 是现代通信系统中的关键模块之一,其相位噪声是一个十分重要的指标,直接影响着通信系统的信噪比。在导航接收系统、带窄带子载波的 OFDM 系统中都要求 PLL 有尽可能低的相位噪声。而 PFD 作为 PLL 的一个重要组成单元电路,其相位噪声是 PLL 低频率区域相位噪声的重要来源<sup>[1]</sup>,因此设计一个在低频偏区有低相位噪声的 PFD 有重要的工程意义。

Liu 等<sup>[2]</sup>采用 90 nm CMOS 工艺复现了一种传统结构 PFD,整体电路由两个边缘触发的可重置的 D 触发器和一个四输入与非门组成,其优点是鉴相功能稳定,且鉴相范围大。Y. He 等<sup>[3]</sup>基于 65 nm CMOS 工艺,设计了一种高速 PFD,电路采用边沿触发式结构,去掉反馈通路,消除复位脉冲过程中的由于输入信号边缘缺失造成的盲区,提高了电路最高工作频率。Z. Zahir 等<sup>[4]</sup>基于 0.13  $\mu\text{m}$  CMOS 工艺的一种新型脉冲时钟 PFD 电路,改进了边沿触发式结构,并使用脉冲时钟锁存器代替传统结构中的 D 触发器,获得了高的线性鉴相范围。K. P. Thakore 等<sup>[5]</sup>采用 90 nm CMOS 工艺的一种低功耗 PFD 电路,仅由两个新型 D 触发器并联组成,整个电路使用 16 个晶体管,大大降低了 PFD 的功耗和面积。上述研究工作基于 CMOS 工艺对 PFD 的功能稳定性、工作频率、鉴相范围、功耗和面积等方面都做了优化,但未能获得超低的低频相位噪声。为此,本文基于 0.18  $\mu\text{m}$  SiGe HBT 工艺模型,采用 ECL 逻辑结构设计一款 PFD。相比于 CMOS 逻辑结构,在低频偏区域获得了 $-156\text{ dBc/Hz}@10\text{ kHz}$ 的超低相位噪声,并且工作频率可达到 1 GHz。

## 1 低相噪 PFD 设计

设计的 PFD 核心电路结构如图 1 所示,该 PFD 仅由或非门和复位延时单元构成。当图 1 的 PFD 正常工作时会根据信号  $V_{\text{ref}}$  与  $V_{\text{div}}$  之间的频率或相位差来输出随时间变化的信号波形至电荷泵,从而实现鉴频鉴相功能<sup>[6]</sup>,其状态转移图如图 2 所示。

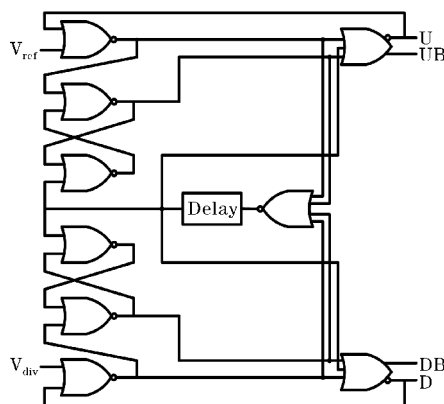


图1 带复位延时单元的 PFD 电路结构

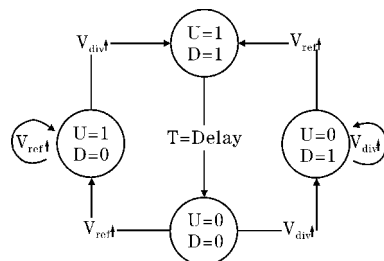


图2 PFD 状态转移图

理想情况下,PFD 的输出信号能完全检测出输入信号之间的相位差,实际情况是由于寄生电容的影响,信号会有一定的上升时间和下降时间,当  $V_{\text{div}}$  信号和

$V_{ref}$  信号相位差很小时,可能会使信号没有足够的时间到达高电平如图 3 中的虚线 UP 信号,导致电荷泵的充放电不能正常跟踪相位差,出现鉴相死区,这会极大地影响鉴相精度,并且给整个锁相环带来大的相位噪声<sup>[7-8]</sup>。图 3 为 PFD 未加入复位延时单元导致输出出现死区的示意图。若复位延迟足够高,使相位差为零, U 和 D 信号依然有足够宽的脉宽来抵消寄生电容的充放电时间,便可以消除鉴相死区。但是,PFD 的复位延迟时间  $T_{rd}$  太大会增加整个 PLL 系统的参考杂散,同时也会降低 PFD 工作频率,因此合理设计  $T_{rd}$  至关重要。

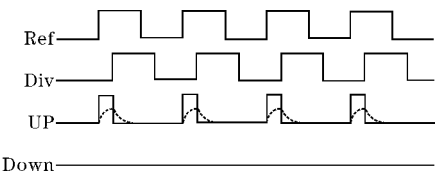


图 3 PFD 死区

本文 PFD 中的逻辑电路均采用 ECL 结构,该结构主要特点是工作频率高和低频偏相噪特性好。ECL 结构中逻辑门功能的晶体管都工作在非饱和状态,相比于 CMOS 逻辑结构消除了晶体管的电子存储时间,从而提高了工作频率。在 CMOS 逻辑结构中,  $1/f$  噪声的转角频率  $f_c$  为 700 kHz 左右,而本文采用 ECL 结构的  $1/f$  噪声的转角频率  $f_c$  可低至 300 Hz 附近,远远小于 CMOS 逻辑结构的  $f_c$ ,对于低频偏区域的相位噪声来说具有很大优势<sup>[9]</sup>。

图 4(a) 为 PFD 中或非门的电路结构,其中 A、AN 和 B、BN 为两组差分输入信号,C、CN 为一组差分输出信号,其真值表如表 1 所示。该或非门由 ECL 逻辑结构配置,  $Q_1$  和  $Q_2$  为一组射随器电路,用来降低输入信号的电平,避免后续电路的晶体管进入反向放大区,  $Q_3$ 、 $Q_4$  和  $Q_5$ 、 $Q_6$  为两组差分对管,输入信号通过控制两组差分对管的放大和截止来实现或非逻辑运算,  $Q_7$ 、 $Q_8$ 、 $Q_9$  和  $R_3$ 、 $R_4$ 、 $R_5$  给射随器和差分对管提供偏置电流。在本文的 PFD 电路中,相位噪声主要是由或非门电路的抖动带来的,抖动通过式(1)来描述:

$$Jetter \propto \frac{\overline{V_n^2}}{SR} \tag{1}$$

其中,  $\overline{V_n^2}$  为输出噪声电压,SR 为输出信号摆率。因此降低抖动有两种方式:降低输出噪声电压和增加输出信号摆率。其中输出信号摆率与尾电流成正比,而输出噪声电压主要来源于 HBT 管的  $1/f$  噪声,公式如下:

$$S_{1/f} = \frac{K_B}{A_E f} I_B^a \tag{2}$$

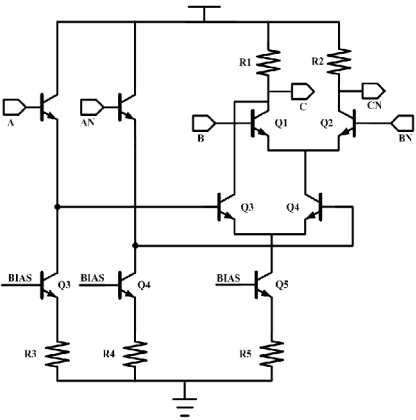
其中,  $K_B$  和  $a$  为工艺相关常数,  $A_E$  为发射级面积,  $f$  为频率,  $I_B$  为基级电流。通过上述分析可知,增大 HBT 管的发射机面积或者增大尾电流都能有效降低 PFD

的相位噪声<sup>[10-12]</sup>。

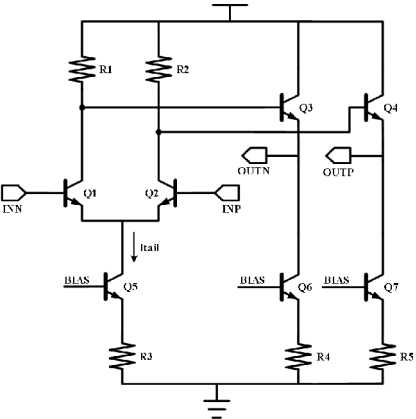
图 4(b) 为 ECL 逻辑结构配置的非门电路,其中 INP 和 INN 为差分输入信号, OUP 和 OUTN 为差分输出信号,其真值表如表 1 所示。该电路也是由差分对管和射随器构成,差分对管  $Q_1$ 、 $Q_2$  作用是实现非逻辑运算,射随器  $Q_3$ 、 $Q_4$  用来调节输出电平和提供一个小的输出阻抗增加驱动能力,  $Q_5$ 、 $Q_6$ 、 $Q_7$  和  $R_3$ 、 $R_4$ 、 $R_5$  给射随器和差分对管提供尾电流。可以通过偶数级非门级联来组成 PFD 中的复位延时单元,其延时表达式为

$$T_{rd} = 2N \cdot \tau = 2N \cdot R_{out} C_{out} = 2N \cdot \frac{V_{out}}{I_{ss}} C_{out} \tag{3}$$

其中,  $N$  为级联个数,  $I_{ss}$  为尾电流,  $V_{out}$  和  $C_{out}$  为输出电压和输出电容。因此可以通过两种途径来调节,一种是增加非门级联数,适合粗略的延时调节,另一种是调节非门中差分对管的尾电流,适合细微的延时调节。



(a) 或非门电路



(b) 非门电路

图 4 ECL 逻辑电路

表 1 ECL 逻辑电路真值表

或非门真值表			非门真值表	
输入		输出	输入	输出
A/AN	B/BN	C/CN	INP/INN	OUTP/OUTN
1/0	1/0	0/1		
1/0	0/1	0/1		
0/1	1/0	0/1	1/0	0/1

## 2 仿真结果

### 2.1 版图设计

图5是本次设计的PFD的芯片版图,采用 $0.18\ \mu\text{m}$  SiGe HBT 工艺设计。整体面积为 $1001\ \mu\text{m} \times 926\ \mu\text{m}$ 。

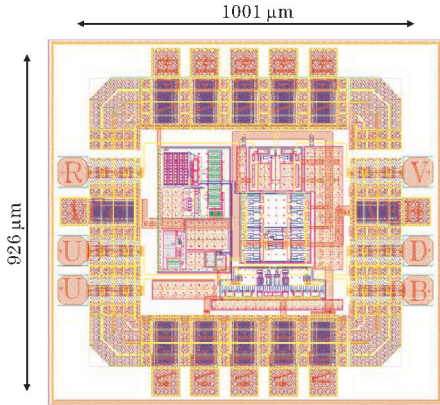


图5 PFD 芯片版图

### 2.2 鉴频鉴相功能仿真

PFD 功能仿真主要包括捕获过程的2种工作状态和跟踪过程的3种工作状态。捕获过程的2种工作状态: $f_{\text{ref}} > f_{\text{div}}$ ;  $f_{\text{ref}} < f_{\text{div}}$ 。跟踪过程3种工作状态: $P_{\text{ref}} > P_{\text{div}}$ ;  $P_{\text{ref}} < P_{\text{div}}$ ;  $f_{\text{ref}} = f_{\text{div}}$ 且  $P_{\text{ref}} = P_{\text{div}}$ 。

图6为以上5种工作状态的仿真。由图6(a)和图6(b)可以看出,在相同相位情况下,当 $f_{\text{ref}} > f_{\text{div}}$ 时,DP端输出信号脉宽逐渐变宽,当 $f_{\text{ref}} < f_{\text{div}}$ 时,UP端输出信号脉宽逐渐变宽,这2种状态表明PFD处于鉴频阶段。图6(c)和图6(d)可以看出,在相同频率情况下,当 $P_{\text{ref}} > P_{\text{div}}$ 时,UP端输出等脉宽逐信号,当 $P_{\text{ref}} < P_{\text{div}}$ 时,DP端输出等脉宽逐信号,这2种状态表明PFD处于鉴相阶段。从图6(e)标记处能够看到复位脉冲宽度约为145 ps。从仿真结果可以看到PFD在5种工作状态的逻辑皆正确,在工作频率为1 GHz时能实现鉴频鉴相功能。

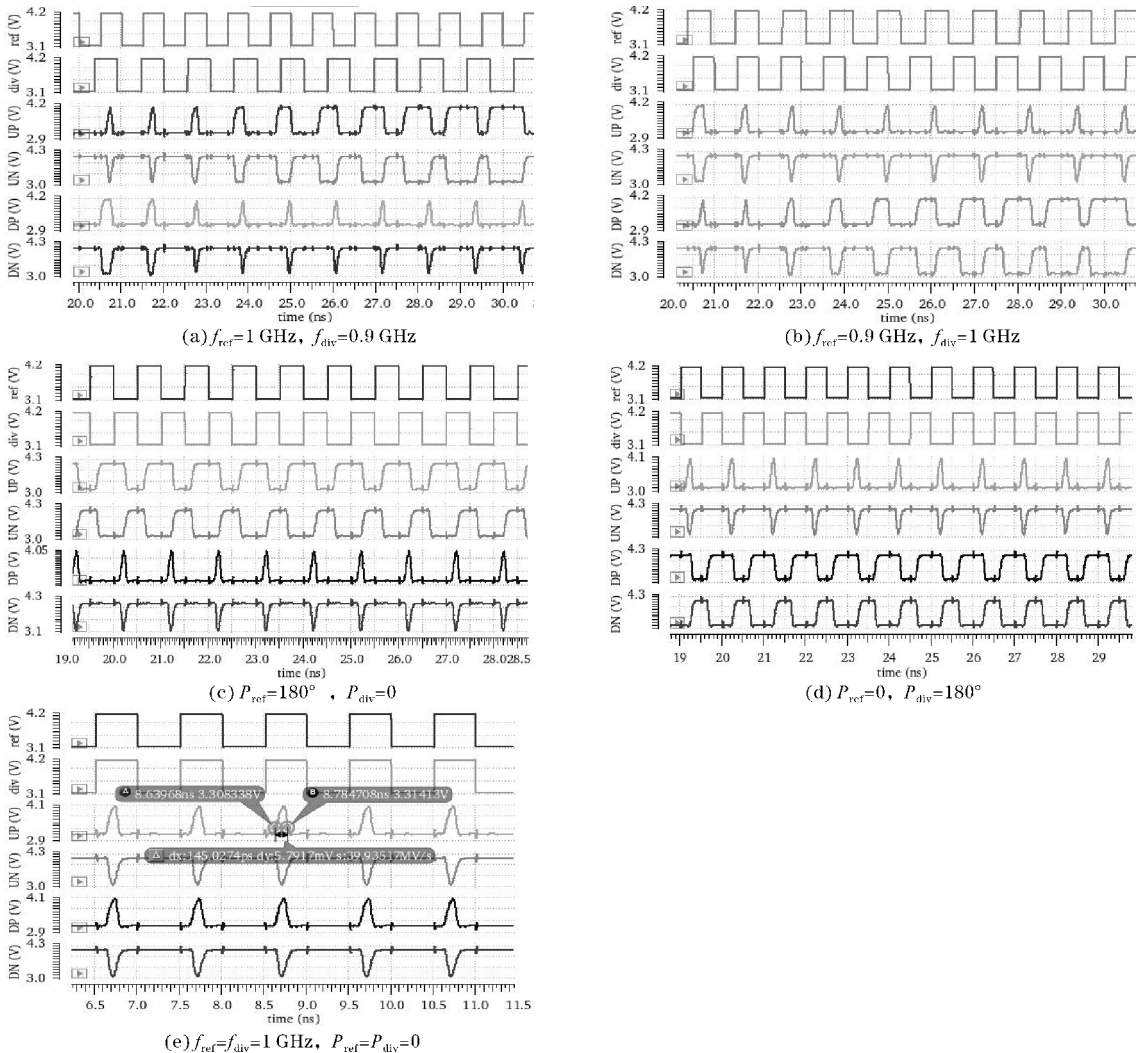


图6 ECL PFD 鉴频鉴相功能仿真

2.3 鉴相范围仿真

从图 7 可以看出该 PFD 的鉴相范围为 $[-280^{\circ}, 280^{\circ}]$ , 转化为弧度制约为 $[-1.56\pi, 1.56\pi]$ , 且在原点(相位差为零)附近能实现鉴频鉴相功能, 表明复位脉冲宽度足够, 抑制了鉴相死区的出现。

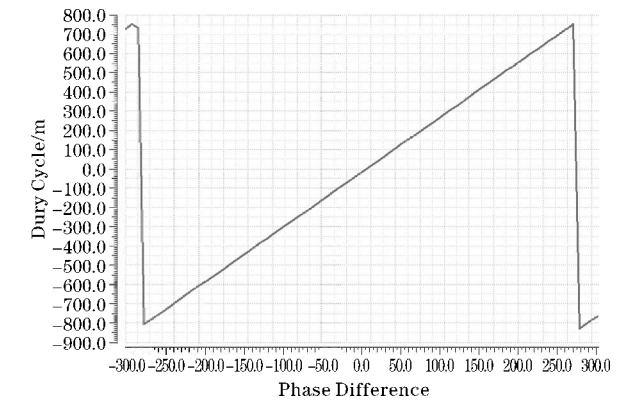


图 7 ECL PFD 鉴相范围曲线

2.4 相位噪声仿真

图 8 显示了 ref 和 div 信号频率均为 1 GHz, 相位差为零时, 相位噪声仿真曲线, 从图中标记处可以看出在 10 kHz 处相位噪声约为  $-156\text{ dBc/Hz}$ 。表 2 为本研究工作与其他文献的 PFD 对比。可以看出, 本文设计的 PFD 在采用  $0.18\text{ }\mu\text{m}$  SiGe 工艺工作频率大致相同情况下, 获得了极低的相位噪声。

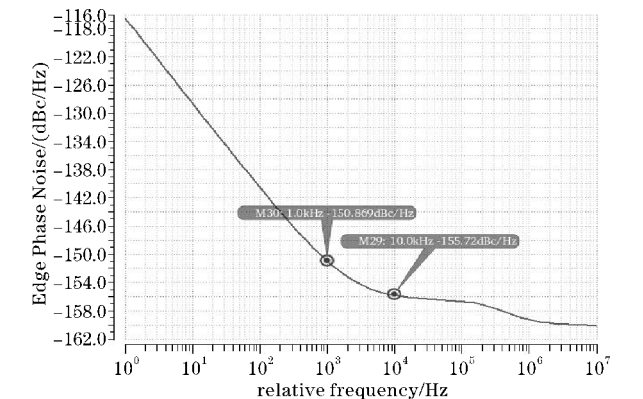


图 8 ECL PFD 相位噪声曲线

表 2 性能指标对比

文献	工艺	工作频率/GHz	相噪@ 10 kHz/(dBc/Hz)
文献[13]	0.18 $\mu\text{m}$ CMOS	1	-114
文献[14]	90 nm CMOS	1	-103
文献[15]	65 nm CMOS	1	-152
本文	0.18 $\mu\text{m}$ SiGe	1	-156

3 结束语

设计一种应用于低相噪 PLL 的 PFD 电路, 通过采用

HBT ECL 逻辑电路, 降低了低频偏区域的相位噪声, 并且通过加入复位延迟单元, 消除了鉴相死区。仿真结果表明, 该 PFD 电路在 5 V 电压下, 工作频率可达 1 GHz, 且实现了零鉴相死区, 获得  $-156\text{ dBc/Hz}@10\text{ kHz}$  的相位噪声。

参考文献:

[1] 李森, 江金光. 低杂散锁相环中鉴频鉴相器与电荷泵的设计[J]. 微电子学, 2016, 46(2): 228-232.

[2] Liu Fan, Wang Zhigong, Li Zhiquan, et al. Design of improved CMOS phase-frequency detector and charge-pump for phaselocked loop[J]. Journal of Semiconductors, 2014, 35(10): 123-129.

[3] He Y, Cui X, Lee C L, et al. An improved fast acquisition PFD with zero blind zone for the PLL application[C]. 2014 IEEE International Conference on Electron Devices and Solid-State Circuits, 2014, 1-2.

[4] Zahir Z, Banerjee G. A fast acquisition phase frequency detector for high frequency PLLs[C]. 2015 IEEE International WIE Conference on Electrical and Computer Engineering (WIECON-ECE), 2015: 366-369.

[5] Thakore K P, Shah K, Devashrey N M. Design and implementation of low power phase frequency detector for phase lock loop[C]. 2019 3rd International Conference on Computing Methodologies and Communication (ICCMC), 2019: 644-647.

[6] Jandhyala S, Tapse S. A power efficient phase frequency detector and low mismatch charge pump in on-chip clock generator[C]. 2016 IEEE Distributed Computing, VLSI, Electrical Circuits and Robotics (DISCOVER), 2016: 57-61.

[7] Kuncham S S, Gadiyar M, Sushmitha D K, et al. A Novel Zero Blind Zone Phase Frequency Detector for Fast Acquisition in Phase Locked Loops[C]. 2018 31st International Conference on VLSI Design and 2018 17th International Conference on Embedded Systems (VLSID), 2018: 167-170.

[8] Hati M K, Bhattacharyya T K. A PFD and Charge Pump switching circuit to optimize the output phase noise of the PLL in 0.13  $\mu\text{m}$  CMOS[C]. 2015 International Conference on VLSI Systems, Architecture, Technology and Applications (VLSI-SATA), 2015: 1-6.

- [9] Tsutsumi K, Komaki M, Shimozawa M, et al. Low phase noise Ku-band PLL-IC with 104.5 dBc/Hz at 10 kHz offset using SiGe HBT ECL PFD [C]. 2009 Asia Pacific Microwave Conference, 2009: 373–376.
- [10] Seif M. Characterization, modeling and comparison of  $1/f$  noise in Si/SiGe:C HBTs issued from three advanced BiCMOS technologies [C]. 2017 29th International Conference on Microelectronics (ICM), 2017:1–4.
- [11] Hao S, Hu T, Gu Q J. A CMOS Phase Noise Filter With Passive Delay Line and PD/CP-Based Frequency Discriminator [J]. in IEEE Transactions on Microwave Theory and Techniques, 2017, 65 (11):4154–4164.
- [12] Kumar H M, Kanti B T. Phase noise analysis of proposed PFD and CP switching circuit and its advantages over various PFD/CP switching circuits in phase-locked loops [J]. Integration, 2018, 60:115–129.
- [13] Pradhan N, Jana S K. Design of phase frequency detector with improved output characteristics operating in the range of 1.25 MHz–3.8 GHz [J]. Analog Integrated Circuits and Signal Processing, 2021, 107(1):1–8.
- [14] Nanda U, Acharya D P, Patra S K. Design of an efficient phase frequency detector to reduce blind zone in a PLL [J]. Microsystem Technologies, 2017, 23(3):533–539.
- [15] Homayoun A, Razavi B. Analysis of phase noise in phase/frequency detectors [J]. in IEEE Transactions on Circuits and Systems I: Regular Papers, 2013, 60(3):529–539.

## Low Phase Noise PFD based on ECL Structure

HUANG Yangyang, CHEN Changming

(College of Communication Engineering, Chengdu University of Information Technology, Chengdu 610225, China)

**Abstract:** Phase frequency detectors (PFD) with excellent phase noise performance are critical for phase lock loops (PLL) in modern communication systems. Based on a 0.18  $\mu\text{m}$  SiGe HBT process, an ultra-low phase noise PFD is designed and analyzed. In order to eliminate the influence of the phase-detection dead region on the PLL phase noise, a reset delay unit is added in this schematic. Owing to all the logic circuits in this PFD utilizing emitter coupled logic (ECL), an excellent ultra-low phase noise of  $-156 \text{ dBc/Hz}@10 \text{ kHz}$  is obtained. Under the condition of 5 V supply, the operating frequency of the designed PFD can reach 1 GHz, and the phase-detection range is extended to  $[-1.56\pi, 1.56\pi]$  using a reset pulse width of 145 ps.

**Keywords:** PLL; PFD; ECL;  $1/f$  noise; phase noise