



图1中,输出参考电压  $V_{REF} = \frac{R_3}{R_1} \cdot \left[ \frac{R_1}{R_0} \cdot \ln(N) \cdot V_T + V_{BE} \right]$ ,

其中  $\frac{R_1}{R_0} \cdot \ln(N)$  是与温度无关的项,为获得较高的精度,需要进行高阶补偿。

## 2 带隙基准的设计

### 2.1 整体结构的设计

图2展示了一种高阶补偿技术<sup>[6-7]</sup>,有电流  $I_{REF1}$  和  $I_{REF2}$  两个参考。采用  $I_{REF1} - I_{REF2}$  进行高阶补偿,参考电压表示为

$$V_{REF} = R_{REF} \cdot (I_{REF1} - I_{REF2}) \quad (4)$$

考虑通过某种方法将  $I_{REF2}$  的曲率翻转,得到曲率和 BGR B 中的曲率特性相反的参考电流,再和  $I_{REF1}$  相加以实现高阶温度补偿<sup>[4]</sup>。

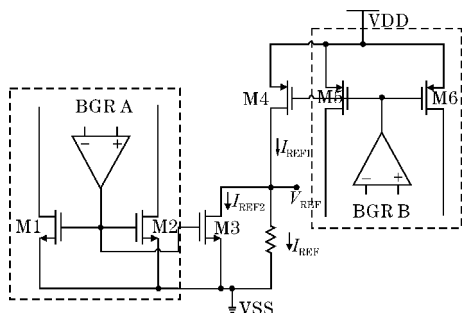


图2 温度补偿技术

由于电路设计采用双核心结构,两个核心 18 个三极管占据的版图面积已经够大,并且 Banba 结构的带隙结构本身版图面积相对较大,因此电阻值可取较大以满足低功耗要求和得到更加精确的参考电压,而版图面积相对而言不会有过大的增幅,因此本文电路结

构适用于对版图面积要求不高的场景。并且在 SMIC. 13  $\mu\text{m}$  的工艺中,选择方块电阻最大的 polysab 电阻,可以有效地减小版图面积。此外,选取具有 N 型层阱的组件,可有效地将 P 型衬底用于不同的电路然后屏蔽其他后续电路的噪声<sup>[8-9]</sup>。两级运放能够提供较高的直流增益并且能够给 BGR 电路较高的环路增益,使得图1中的 A、B 点的节点电压能够更好地虚地。

图3为研究的一种新的高阶温度补偿带隙基准电压源电路,包含两个传统的低压 BGR 核心电路以及一个温度校正电路,还包含一个电流镜和一个求和电路, BGR 核心电路 A 的参考电流为  $I_{REF1}$ , BGR 核心电路 B 的参考电流为  $I_{REF2}$ 。  $I_{REF1}$ 、 $I_{REF2}$  都只是抵消了一阶温度相关项,并且具有向下的曲率特性,由于存在高阶非线性误差,其精度不高。然而当  $I_{REF2}$  通过电流镜电路 M2、M3 时,产生具有向上曲率特性的参考电流  $I'_{REF1}$ 。新的向上曲率特性电流  $I'_{REF1}$  和具有向下曲率特性的电流  $I_{REF2}$  相加以实现高阶非线性相互补偿。从而实现高阶曲率补偿。

如图3所示,晶体管 M2、M3 的漏极电压和源极电压的差异导致了  $\Delta I = I'_{REF1} - I_{REF1}$ 。它的温度特性和晶体管的平方特性将会产生具有向上曲率特性的参考电流。工作在饱和区的晶体管漏极电流可以表示为<sup>[10]</sup>

$$I_D = \frac{1}{2} \mu C_{ox} \frac{W}{L} (|V_{GS}| - |V_{TH}|)^2 (1 + \lambda |V_{DS}|) \quad (5)$$

$$\mu = \mu(T_0) \left( \frac{T}{T_0} \right)^{\beta_\mu} \quad (6)$$

式中,  $\beta_\mu$  为温度系数,随浓度增加而减小。文中 PMOS 的  $\beta_\mu$  取-1.3,而 NMOS 的  $\beta_\mu$  为-2<sup>[16]</sup>。晶体管的阈值电压大小近似为温度的线性函数,建模为<sup>[11-12]</sup>

$$|V_{TH}| = |V_{TH}(T_0)| + \beta_{TH}(T - T_0) \quad (7)$$

式中,  $\beta_{TH}$  为温度系数,其值与工艺有关。

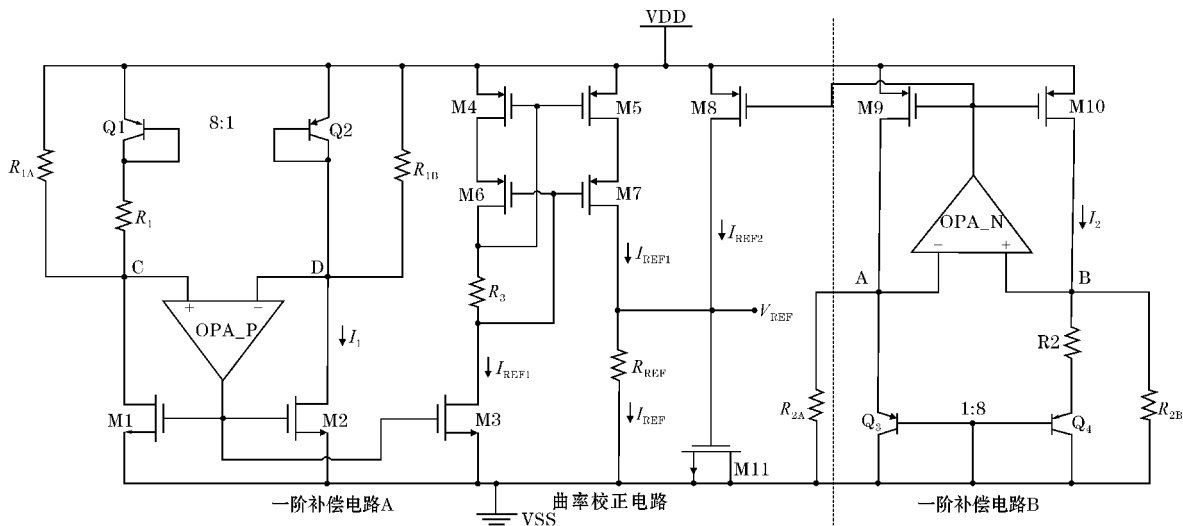


图3 高阶补偿基准电压源整体电路

最常用的值为 $-2 \text{ mV}/\text{C}^{[13]}$ 。图4显示,根据晶体管 M1 中的理想电流表示为

$$I_D = \frac{1}{2} \mu C_{ox} \frac{W}{L} (|V_{GS}| - |V_{TH}|)^2 (1 + \lambda |V_{DS}|) \quad (8)$$

由于 M1 的二极管接法,  $V_{GS} = V_{DS}$ 。为了分析的简便性,假设电流  $I_D$  不随温度变化,因此对  $I_D$  求  $T$  的偏导为0。图4中的电流  $\Delta I$  可表示为

$$\Delta I = I'_{REF1} - I_{REF1} = \frac{\lambda}{2} C_{ox} \mu (T_0) \left( \frac{T}{T_0} \right)^{\beta_\mu} \frac{W 4b^2 \beta_{TH}^2 T^2}{\beta_\mu^2} \left[ (V_{DD} - V_{REF} - |V_{TH}(T_0)|) - \beta_{TH}(T - T_0) - \frac{2b\beta_{TH}T}{\beta_\mu} \right] \quad (9)$$

如前面提到的, PMOS 器件的  $\beta_{TH}$  为 $-2$ ,  $\beta_\mu$  为 $-1.3$ 。为方便计算,这里使  $\beta_\mu$  为 $-1$ ,对电流差  $\Delta I$  求二次偏导为<sup>[14]</sup>

$$\frac{\partial^2(\Delta I)}{\partial T^2} = \frac{4\lambda C_{ox} \mu (T_0) T_0 b^2 \beta_{TH}^2}{\beta_{TH}^2} \cdot \frac{W}{L} \left[ -\beta_{TH} \left( 1 + \frac{2b}{\beta_\mu} \right) \right] \quad (10)$$

很容易得出上面式子的值大于0,可以得到:

$$\frac{\partial^2 V_{REF}}{\partial T^2} (>0) \propto \frac{\partial^2 I'_{REF}}{\partial T^2} \propto \frac{\partial^2(\Delta I)}{\partial T^2} \quad (11)$$

式中,  $V_{REF} = I_{REF} \times R_{REF}$ , 参考输出电压  $V_{REF}$  表现出曲率上升特性,其二阶偏导随温度变化为正。因此,具有 PMOS 晶体管的电流镜具有曲率上升特性。

如图3所示,  $I_{REF1}$  通过由 M2、M3 组成的电流镜电路,以此得到具有二阶温度相关的电流  $I'_{REF1}$ 。平衡通过在 BGR-A 中合适的电阻得到曲率上升特性的电流  $I'_{REF1}$ ,同时,通过选择合适的晶体管长度,可以得到不同级别的  $I'_{REF1}$ 。总的电流  $I_{REF}$  以及参考电阻  $R_{REF}$  产生参考电压输出  $V_{REF}$ 。因此,将曲率上升的电流与曲率下降的电流求和产生一个对温度依赖性更低的电流来产生高精度参考电压。

## 2.2 BGR 电路的实现

图3展示了 BGR 电路的实现,包含两个 BGR 核心和一个温度校正电路。BGR 核心 A 使用自偏置, PMOS 管输出的二级运放。BGR 核心 B 使用自偏置、NMOS 管输出的二级运放。M1、M2 和 M3 拥有相同的尺寸来产生镜像电流。运放 OPA\_P 和 OPA\_N 使得 C、D 和 A、B 两点的电压相同,参考电流可以表示为

$$I_{REF1} = \frac{V_T \ln(N)}{R_0} + \frac{V_{BE1}}{R_1} = \frac{1}{R_1} \left( \frac{R_1 \ln(N)}{R_0} V_T + V_{BE1} \right) \quad (12)$$

$I_{REF1}$  具有曲率向下的特性,通过 cascode 电流镜电路 (M4、M5、M6、M7) 以及合适的电阻值,可以得到一个均衡的具有曲率向上特性的参考电流  $I'_{REF1}$ 。其表达式为

$$I'_{REF1} = \frac{1}{R_1} \left( \frac{R_1 \ln(N)}{R_0} V_T + V_{BE1} + (V(T) + V_h) \right) \quad (13)$$

式(13)中,  $V_T$  为一阶项,  $V_h$  为大电流镜内具有曲率上升技术的高阶项。  $V_T$  通过选择合适的  $R_0$ 、 $R_1$  的阻值比例来消除。Cascode 结构的电流镜用作决定沟道调制因素,获得更合适的  $V_h$ 。对于核心 B, R2A、R2B 拥有相同的阻值, MOS 管 M8、M9、M10 拥有相同的尺寸。另外,电阻  $R_0$ 、 $R_2$  使核心 A、B 获得相似的  $I_{PTAT}$  电流。  $I_{REF2}$  表达式为<sup>[15]</sup>

$$I_{REF2} = \frac{V_T \ln(N)}{R_2} + \frac{V_{BE3}}{R_{2A}} = \frac{1}{R_{2A}} \left[ \frac{R_{2A} \ln(N)}{R_2} V_T + V_{BE3} \right] \quad (14)$$

由于高阶非线性的负系数,  $I_{REF2}$  具有曲率向下的特性。通过求和电路,参考电压  $V_{REF}$  表示为

$$V_{REF} = \frac{R_{REF}}{R_1} \left( \frac{R_1 \ln(N)}{R_0} V_T + V_{BE1} + (V(T) + V_h) \right) + \frac{R_{REF}}{R_{2A}} \cdot \left( \frac{R_{2A} \ln(N)}{R_2} V_T + V_{BE3} \right) = \left( \frac{R_{REF}}{R_1} V_{C1} + \frac{R_{REF}}{R_{2A}} V_{C2} \right) + \left( \frac{R_{REF}}{R_1} V_{h1} + \frac{R_7}{R_{2A}} V_{h2} \right) = (K_1 V_{C1} + K_2 V_{C2}) + (K_1 V_{h1} + K_2 V_{h2}) \quad (15)$$

由于使用同类型的电阻,  $K_1$ 、 $K_2$  为与温度无关的参数。  $V_{C1}$ 、 $V_{C2}$  为一阶补偿后与温度无关的参考电压。第一项是与温度无关的电压,  $V_{h1}$  和  $V_{h2}$  分别为核心 A 和 B 的高阶非线性项。在电流镜电路中,通过选择合适的电流镜结构和合适的 MOS 管尺寸,可以得到适合的  $V_{h1}$ 、 $V_{h2}$ ,使得  $V_{h1} = -V_{h2}$ 。然后对这两个振幅相似、方向相反的高阶非线性项进行相加和补偿。这个方法有效提高了输出参考电压的精度。

## 2.3 运放的设计

本文采用二级米勒补偿运放,根据两个运放的输入范围, OPA\_P 采用 PMOS 输入, OPA\_N 采用 NMOS 输入。  $\Delta V_{BE} = V_T \ln(N)$  由运放控制,会受到运放失调误差的影响。有系统失调和随机失调两种可能性。随机失调是由于工艺和版图的失配导致,不可避免。系统失调主要是由于运放的增益有限而产生的,高 DC 增益的运放可以获得较低的系统失调。因此,研究采用 Miller 补偿的二级放大器来减小系统失调带来的误差影响<sup>[10]</sup>,获得较高的增益。设计中, PMOS 管输入运放和 NMOS 管输入运放的低频直流增益分别大于 77 dB 和 75 dB,功耗消耗分别为 58 nA 和 75 nA。

## 3 仿真结果与分析

根据所设计的基准电压源在典型工艺角下仿真,温度在  $-45 \text{ }^\circ\text{C} \sim 155 \text{ }^\circ\text{C}$  电源电压为 3.3 V 时的温度特性仿真结果如图4所示。

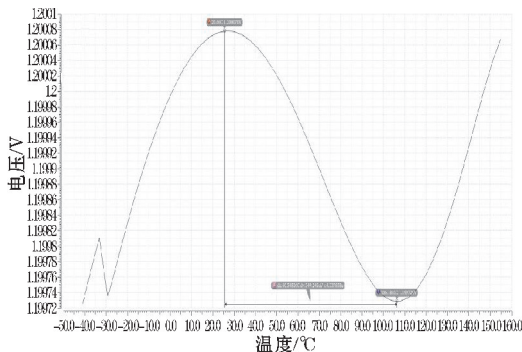


图 4 基准电压与温度关系

从图 4 看到,在电源电压为 3.3 V 时,温度范围内最大输出电压为 1.200078 V,最小输出电压为 1.199729 V,可计算出其温度系数为 1.45 ppm/°C。而当电源电压分别在 3 V、3.3 V 和 3.6 V 时,温度为 -45 °C ~ 145 °C 进行仿真的结果如图 5 所示,基准源的温度系数分别为 2.73 ppm/°C、2.18 ppm/°C 和 2.64 ppm/°C。

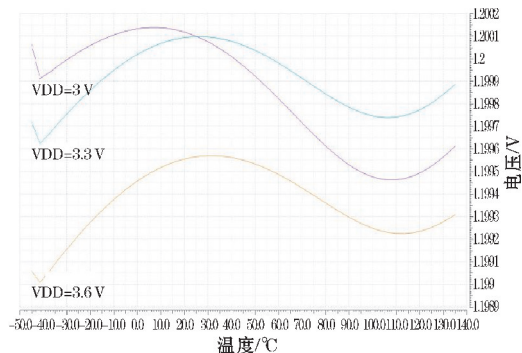


图 5 不同电源电压下的基准电压温度特性

图 6 为室温下基准电压源输出电压随电压源变化的曲线特性。当电源电压大于 1.32 V 时便可产生稳定的输出,在电源电压为 1.47 ~ 3.48 V 时,基准的电压源能够稳定工作,最大输出电压为 1.19985 V,最小电压输出为 1.19972 V,计算得到其线性调整率为  $6.45 \times 10^{-6}$  V/V。

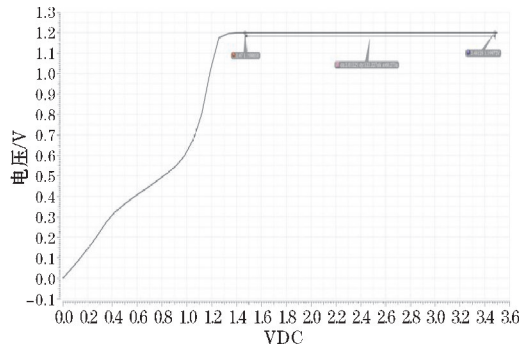


图 6 基准电压随电压源变化仿真

电源电压分别为 2.5 V、2.78 V、3.08 V、3.22 V 和 3.36 V 的低频电源抑制比最低为 2.5 V 时的

-63.2 dB@1 Hz,最高为 3.08 V 时的 -88.0 dB@1 Hz,并在电源电压为 3.3 V 附近能够达到 -72 dB@1 Hz 的电源抑制比(图 7)。此外,为使电源抑制比在高频处依然有可观的表现,在输出端加入滤波电容<sup>[16]</sup>以提高在高频处的电源抑制比,其结果表明在 100 KHz 时,电压基准源的电源抑制比为 -45 dB。

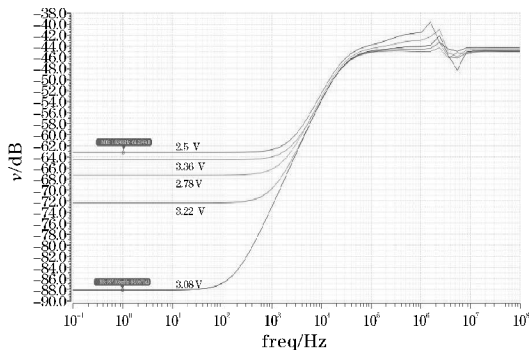


图 7 基准电源电源抑制比特性仿真

## 4 结论

本文基于传统的基准源设计和优化了一款低功耗高精度的基准电路,在工作电压 1.5 ~ 3.3 V 有很好的线性度。仿真结果表明,在 Typical 工艺条件下,基准源电路在电源电压 3.3 V,并在 -45 °C ~ 155 °C 宽温度范围内能够提供 1.2 V 的稳定基准电压输出,其温度系数低至 1.45 ppm/°C,其线性调整率为  $6.45 \times 10^{-6}$  V/V。通过增加滤波电容以增强在 100 KHz 处的电源抑制比,该结果表明电源电压为 3 V 左右时基准源具有较好的电源抑制特性。

## 参考文献:

- [1] 张东亮,曾以成,陈星燕,等. 曲率补偿低温漂带隙基准电压源设计[J]. 电子元件与材料,2015, 34(11):85-88.
- [2] 青旭东,钟黎,王永禄,等. 一种低温漂高电源抑制比带隙基准源的设计[J]. 电子技术应用, 2018,44(1):17-19.
- [3] 陈昊,张彩珍,王梓淇,等. 一种高电源抑制比的曲率补偿带隙基准电压源[J]. 半导体技术, 2019,44(12):905-909.
- [4] Bill Ma, Fengqi Yu. A novel 1.2-V 4.5-ppm/°C curvature-compensated CMOS bandgapreference [J]. IEEE Trans. Circuits Syst. I, Reg. Papers, 2014,61(4):1026-1035.
- [5] I M Filanovsky, A Allam. Mutual compensation of



- mobility and threshold voltage temperature effects with application in CMOS circuits[J]. IEEE Trans. Circuits Syst. I, Fundam. 2001, 48(7): 876–884.
- [6] Yuxin Zhang, Jinghu Li, Xincheng Wang, et al. A 1.2-V 2.18-ppm/°C curvature-compensated CMOS bandgap reference: LETTER[J]. IEICE Electronics Express, 2021, 18(11).
- [7] 肖璟博, 陈敏, 张成彬, 等. 低功耗双带隙结构的 CMOS 带隙基准源[J]. 湖南大学学报, 2017, 44(8): 124–130.
- [8] 何林峰, 聂海, 陈娇. 对于高阶补偿 Banba 结构带隙基准源的改进分析[J]. 成都信息工程大学学报, 2019, 34(5): 466–469.
- [9] 周茜, 邓进丽, 岳宏卫, 等. 一种超低温漂低功耗全 CMOS 基准电压源[J]. 微电子学, 2017, 47(6): 769–773.
- [10] 毕查德·拉扎维. 模拟 CMOS 集成电路设计[M]. 陈灿, 译. 西安: 西安交通大学出版社, 2003.
- [11] Ka Nang Leung, Mok P K T. A CMOS voltage reference based on weighted  $\Delta V_{GS}$  for CMOS low-dropout linear regulators[J]. IEEE Journal of Solid-State Circuits, 2003, 38(1).
- [12] F M Klaassen, W Hes. On the temperature coefficient of the MOSFET threshold voltage[J]. Solid-State Electron. 1986, 29(8): 787–789.
- [13] I M Filanovsky, A Allam. Mutual compensation of mobility and threshold voltage temperature effects with application in CMOS circuits [J]. IEEE Trans. Circuits Syst. I, Fundam. Theory Appl., 2001, 48(7): 876–884.
- [14] Sen Huang, Shengxi Diao, Fujiang Lin. A 0.7-V, 8.9-ppm/°C compact temperature-compensated CMOS subthreshold voltage reference with high reliability[J]. Analog Integrated Circuits and Signal Processing, 2017, 91(1).
- [15] Yuji Osaki, Tetsuya Hirose, Nobutaka Kuroki, et al. 1.2-V Supply, 100-nW, 1.09-V Bandgap and 0.7-V Supply, 52.5-nW, 0.55-V Subbandgap Reference Circuits for Nanowatt CMOS LSIs. [J]. J. Solid-State Circuits, 2013, 48(6).
- [16] 周志兴, 来强涛, 姜宇, 等. 一种高电源抑制比带隙基准源[J]. 微电子学与计算机, 2019, 36(5): 1–4.

## A Low Power High Order Temperature-compensated CMOS Bandgap Reference

WANG Huajie, NIE Hai

(College of Communication Engineering, Chengdu University of Information Technology, Chengdu 610225, China)

**Abstract:** This paper designs a high precision CMOS bandgap reference voltage source (BGR) circuit. The BGR circuit consists of two cores and a curvature correction circuit, including a current mirror and a summation circuit. The two core circuits adopt conventional circuit structure and have downward curvature characteristics. This paper proposes a current mirror circuit to implement a BGR core with upward curvature. By choosing the appropriate resistance in the BGR, one reference voltage has a well-balanced curvature descent characteristic, while the other reference voltage has a uniformly balanced curvature upward characteristic, and the two reference voltages are combined to realize higher order curvature compensation. In the case of 3.3 V supply voltage, the reference voltage of 1.2V can be generated by CMOS process, and the temperature coefficient of the proposed BGR circuit can be as low as 1.45ppm/°C in the wide temperature range of 200 °C (–45 °C–155 °C). The power supply rejection ratio is –67.5 dB@100 Hz, –45.0 dB@100 KHz, and the consumption current is 911 nA.

**Keywords:** bandgap reference; curvature compensation; PSRR; temperature coefficient