

文章编号: 2096-1618(2023)05-0521-05

基于 ZYNQ 的数字信道化接收机实现

张 军, 王铎荣, 张灵玉, 杨 波
(成都信息工程大学电子工程学院, 四川 成都 610225)

摘要:在现代电子战中,针对数字信道化接收机瞬时覆盖宽带大、灵敏度高、动态范围大和多信号并行处理的问题,提出一种基于时分复用的多相 DFT 的数字信道化结构接收机的方法。该接收机以异构芯片 ZYNQ 为平台,以高速 ADC 对中频模拟信号进行采样,利用 CORDIC 算法提取基于时分复用的数字信道化结构输出的幅度及相位,经过检波脉冲修正后,将组帧数据通过 AXI DMA 从 PL 端传输至 PS 端进行后续处理,在可编程阵列逻辑(FPGA)硬件平台上低耗实现基于时分复用的数字信道化结构的脉冲参数测量和 AXI DMA 数据传输等功能。经过反复测试表明,基于时分复用的多相 DFT 的数字信道化接收机,完成了对信号的高速采样,实现接收机的数字信道化处理,减少了 78% 的硬件乘法器资源,符合设计要求。

关键词:时分复用;多相 DFT;数字信道化接收机;ZYNQ;CORDIC 算法

中图分类号:TN851

文献标志码:A

doi:10.16836/j.cnki.jcuit.2023.05.005

0 引言

随着军事现代化进程的加快,各种新型电子系统在现代战场上得到广泛应用,导致电子侦察困难,体现在以下几个方面:频率范围宽、信号样式多样、单位时间内接收信息量大。因此,为满足现代战场对电子侦察接收机的需求,接收机应该具有瞬时带宽大、高灵敏度、高分辨率和多信号同时处理的能力。

目前,数字信道化接收机的主流信号处理架构由 ADC+FPGA+DSP 构成,由于现代电磁信号的干扰复杂,FPGA 与 DSP 的数据传输受到严重影响。为提高数据传输能力,减少误码率,将采用 Xilinx 公司的集 ADC、FPGA 和 ARM 为一体的异构芯片——Zynq UltraScale⁺ RFSoc,为数字信道化接收机提供一种新的信号处理架构。将时分复用技术^[1-4]应用于基于多相 DFT 的数字信道化结构^[5-8]中,并通过后续信号处理模块实现信号检测、脉冲参数测量和 DMA (direct memory access)数据传输等功能,为军事信息化技术的进步与发展提供基础性保证。

1 数字信道化基本原理

高速 ADC 可为数字接收机提供大的监视带宽,同时也造成 ADC 高采样速率与低速数字信号器件处理数据能力不匹配的问题。可通过配置不同的调谐器、原型滤波器和抽取器的多路 DDC 并行信道化结构实现对整个频带的监视,但当子信道数目的快速增加时,原型滤波器导致资源量损耗急剧上升。为解决数据率

不匹配和 FPGA 硬件资源消耗过大的问题,提出多路 DDC 并行信道化结构的高效实现结构。

在多路 DDC 并行信道化结构中,直接限定数控振荡器的输出频率,其所得一般结构中的原型滤波器对 ADC 输出所有数据点进行混频和滤波处理,而子信道输出点数只有 ADC 数据点数的 $1/M$,导致数字信道化的一般结构浪费大量的 FPGA 资源。推导得出基于多相 DFT 的数字信道化结构,其结构框图如图 1 所示。

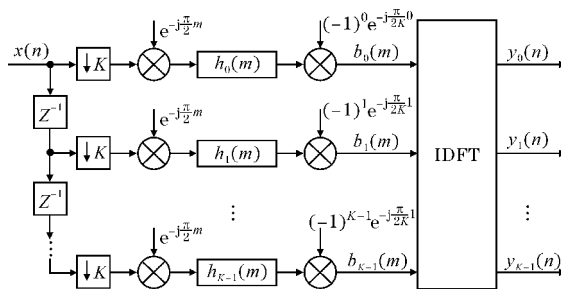


图 1 基于多相 DFT 的数字信道化结构

由图 1 可知,由于各个子信道会乘以复数 $e^{-j\frac{\pi}{2K}m}$,原型滤波器进行多相分量产生的多相滤波器输入亦为复数。提出了一种将原有的多相滤波器分为两个滤波器对数据进行滤波的方法,多相 DFT 的数字信道化结构的计算量减少为一般结构的 $1/K$ ^[9-13],且利用 IDFT 来实现数字下变频,这种结构可以极大地减少硬件资源消耗且有利于硬件部署。

2 基于时分复用的数字信道化接收机的实现

2.1 主要芯片介绍

本设计是基于 Xilinx 新一代 SOC 芯片 Zynq Ultra-

文中,基于时分复用的 32 点并行 FFT,工作于 300 MHz,则子信道可进行 4 次采样。对于第二级 16 点并行 FFT,需要 2 个基 4FFT 完成 32 路信号的处理。对于 2 点 FFT 而言,需要 4 个基 2FFT 即可完成信号的处理。因此,基于时分复用的 32 点 FFT 共耗用 30 个 DSP48E2,节约硬件资源。

2.4 CORDIC 模块

通过对 CORDIC 算法^[17-18]研究,本文采用 Xilinx 的 CORDIC IP 核来计算信号的瞬时幅度及瞬时相位,配置好 IP 核的参数和数据转换格式,并仿真 CORDIC IP 输出相位 phase 和幅度 amplitude,如图 6 所示。由图 6 可知,CORDIC IP 输出的相位在多个信号周期内是不连续的,发生了相位模糊,致使测频错误。

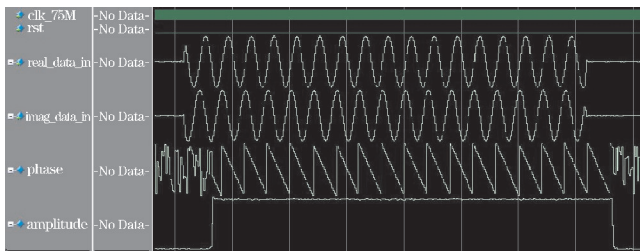


图 6 CORDIC IP 的仿真图

本文采用相位差分测频法来解决相位模糊问题以及满足系统实时性需求,使用 CORDIC 算法对数字信道化结构的输出求瞬时频率,并对瞬时频率做防脉冲平均滤波,再做均值便可解决相位模糊问题。

2.5 信号检测模块

鉴于 ADC 采集数据时可能产生干扰以及信道化器固有的“兔耳效应”,本文将中值滤波算法和防脉冲干扰平均值滤波算法相结合对雷达信号进行检测,其检测的流程图如图 7 所示。首先,32 组基带数据通过 CORDIC 模块得到信号瞬时幅度,并分两路送至防脉冲平均值滤波模块和自适应门限模块得到 32 组信号幅度和自适应检测门限。其次,将所得幅度与门限作比较,若幅度大于门限则输出“1”,否则输出“0”。此时完成第一次检测。为降低信号检测的误检概率,需对信号进行二次检测,最后经过检波脉冲修正后得到信号的检波脉冲^[19-20]。

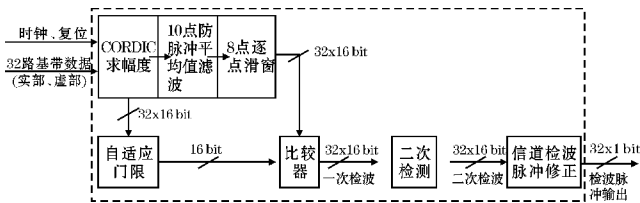


图 7 雷达信号检测的流程图

2.6 数据组帧传输至 PS 端

为避免在不同时间点获得的脉冲参数产生错乱,采用流水缓存设计方法,将抽取的基带信号 IQ 分量、PW、PRI 和脉冲前沿频率进行统一编码形成数据帧。在获取到需要的数据帧后,使用 Vivado 中的 AXI DMA IP 核来实现将数据从 PL 端传输至 PS 端。使用 AXI Stream 协议 DMA 可以直接访问内存,既减少了 CPU 的资源占用,又提高了传输数据的速度。

3 数字信道化接收机的软硬件及系统测试

本文数字信道化接收机是基于 Xilinx 新一代 SOC 芯片 Zynq Ultrascale+ RFSoc 实现时分复用的数字信道化,数字信道化器资源耗用 118 个 DSP48E2,使用较少的硬件乘法器。接收机系统测试的流程如图 8 所示。信号源输出的信号经过线缆输送至中频数字信号处理板的 ADC 输入端,然后信号处理板运行算法并通过集成于 FPGA 内部的逻辑分析仪 ILA 捕获和显示 FPGA 的实时信号。

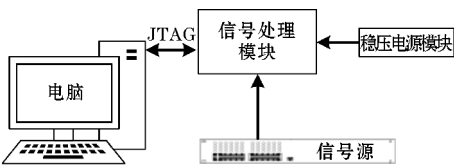


图 8 测试流程图

3.1 数字信道化结构输出测试

使用信号源模拟频率 1666 MHz、脉宽 2 μs、脉冲重复周期 5 μs、信号功率为 -20 dBm 的中频信号,对基于时分复用的数字信道化结构进行测试,使用 ILA 捕获的输出波形如图 9 所示。由图 9 可知,ch19_dout 幅值要大于 ch20_dout,表明第 20 子信道的信号是由第 19 子信道外泄所产生的,避免发生混叠现象。因此,本文的数字信道化器能正确地将时域重叠的信号提取出来,剔除虚假信号解决信道模糊问题。

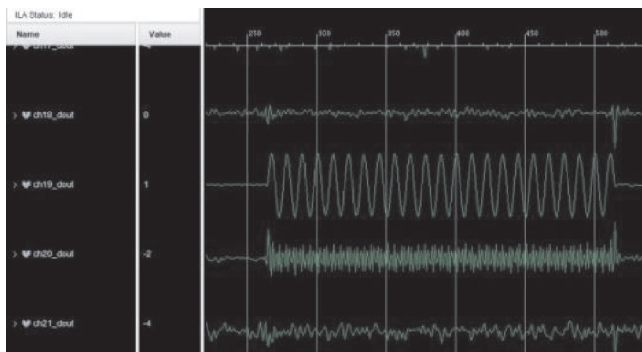


图 9 数字信道化结构的输出

多相 DFT 的数字信道化结构。同时,将时分复用的技术引入到基于多相 DFT 的数字信道化结构,设计并实现了单通道的 32 路基于时分复用的数字信道化结构,有效降低了硬件乘法器的耗用量,提高系统的整体工作性能和实效性。同时,对各个模块进仿真测试以及对整体接收机进行测试的结果表明该结构在 FPGA 上实现的可行性以及实用性,达到了项目的预期指标。

参考文献:

- [1] 张恒,张迎春.一种动态时分复用方法及 FPGA 实现[J].无线电工程,2015,45(6):85-87.
- [2] Shi J Y, Fang Y, Chi N. Time division multiplexed orbital angular momentum access system[J]. Optical Engineering, 2016, 55(3):036106.
- [3] 胡莉,曾高荣,陈红艳.基于时分复用乘法器的 FIR 数字滤波器的设计[J].西南科技大学学报,2004(2):1-6.
- [4] Han W, Ma X, Wang X, et al. Efficient Power Division Multiplexing in MIMO Systems [J]. IEEE Transactions on Wireless Communications, 2021, 21(5):3438-3451.
- [5] 齐晓辉,卢丹.基于多相滤波器的高分辨率信道化接收机设计[J].现代雷达,2013,35(1):68-72.
- [6] 刘光祖,王建新,徐达龙.数字信道化接收机高效结构的设计与实现[J].系统工程与电子技术,2012,34(2):391-395.
- [7] 陈海峰.基于多相滤波器组的多参数雷达信号测量与 FPGA 实现[D].西安:西安电子科技大学,2011.
- [8] Zhang W, Yao Y, Zhao Z, et al. Design and FPGA

implementation of a novel efficient FRM-based channelized receiver structure [J]. IEEE Access, 2019, 7:114778-114787.

- [9] 力智,胡学龙.高效数字信道化接收机研究[J].信息化研究,2016,42(5):49-52.
- [10] 聂慧锋,翟羽佳.一种高效多级信道化数字接收机的设计与实现[J].雷达与对抗,2018,38(3):47-52.
- [11] 李超.无线接收机信道数字化的研究与 FPGA 实现[D].成都:电子科技大学,2018.
- [12] 陈涛,岳玮,刘颜琼,等.宽带数字信道化接收机部分信道重构技术[J].哈尔滨工程大学学报,2011,32(12):1610-1616.
- [13] 王思航.基于 FPGA 的数字信道化接收机设计与实现[D].哈尔滨:哈尔滨工程大学,2018.
- [14] 王晓君,陈景昭.基于 ZYNQ 的接收机平台设计与实现[J].电子器件,2020,43(2):376-379.
- [15] 娄立新.基于 ZYNQ 架构的接收机硬件平台设计[D].哈尔滨:哈尔滨工程大学,2020.
- [16] 何宾等. Xilinx FPGA 数字信号处理权威指南 [M]. 北京:清华大学出版社,2014.
- [17] 孔令甲.基于一种改进的 CORDIC 算法的 FFT 芯片设计[J].电子技术与软件工程,2022(7):144-147.
- [18] 宋超凡,李鑫宇,简彦澎,等.雷达成像系统中采用 CORDIC 算法的 IQ 实时解调与 FPGA 实现[J].电子测量技术,2020,43(18):136-140.
- [19] 高博,周晓乐,耿双利,等.中频数字接收机的优化设计与 FPGA 实现[J].中国集成电路,2019,28(S1):33-38.
- [20] 刘国良.数字信号处理[M].西安:西安电子科技大学出版社,2017.

Implementation of Digital Channelized Receiver based on ZYNQ

ZHANG Jun, WANG Duorong, ZHANG Lingyu, YANG Bo

(College of Electronic Engineering, Chengdu University of Information Technology, Chengdu 610225, China)

Abstract: In modern electronic warfare, to address the issues of wide instantaneous bandwidth, high sensitivity, large dynamic range, and multi-signal parallel processing of digital channelized receivers, a method based on time-division multiplexing and polyphase DFT is proposed in this paper. This receiver is implemented on the heterogeneous chip ZYNQ platform, which samples the IF(Intermediate Frequency) analog signal with high-speed ADC. And the CORDIC algorithm is used to extract the amplitude and phase of the digital channelized structure output based on time-division multiplexing. After the demodulation pulse correction, the frame data is transmitted from the PL side to the PS side through AXI DMA for subsequent processing. The pulse parameter measurement of the digital channelized structure based on time-division multiplexing and AXI DMA data transmission functions are implemented on the programmable logic (FPGA) hardware platform with low power consumption. After repeated testing, it is shown that the digital channelized receiver based on time-division multiplexing and multi-phase DFT completes the high-speed sampling of the signal, achieves the digital channelization processing of the receiver, and reduces 78% of the hardware multiplier resources, which meets the design requirements.

Keywords: time-division multiplexing; polyphase DFT; digital channelized receiver; ZYNQ; CORDIC algorithm