

文章编号: 2096-1618(2023)05-0543-05

# 基于 ECG 的活体检测与身份验证 SOC 设计

王永蕊, 陈子为, 曹 坤, 杨玉航, 谢 帅

(成都信息工程大学电子工程学院, 四川 成都 610225)

**摘要:**由于心电图的活体指示特性和独特而复杂的信号特征,采用心电图进行身份识别是最安全的生物识别方法之一。提出了一种在 FPGA 上搭建适用于 ECG 身份识别的专用片上系统(SOC)设计方案。该设计利用基于主成分分析(PCA)与欧几里得距离度量的 ECG 身份识别算法进行身份识别,并利用 FPGA 并行运算的优势对该识别算法实现硬件加速。最后基于 ARM 公司开源的 DesignStart Cortex-M3 IP 核,在 Xilinx FPGA 上实现了该片上系统。结果显示:所设计的片上系统识别正确性可达96.8%,运行性能最高可达90 MHz,满足实时性需求。

**关键词:** DesignStart; 片上系统; 生物特征人体识别; ECG

**中图分类号:** TP391.41

**文献标志码:** A

**doi:** 10.16836/j.cnki.jcuit.2023.05.008

## 0 引言

身份识别在金融交易等安全应用领域中已经越来越重要,传统的密码、智能卡等身份识别方式存在容易被破解、遗忘、复制和被盗窃等风险<sup>[1]</sup>。为解决传统身份识别方式存在的种种弊端,提出了根据人体独特的生理特征的生物识别方法,大大加强了身份识别的安全性。常用的生物识别方案有人脸识别、指纹识别、声音识别等,但是这些常用的生物识别方法易受表示攻击(presentation attacks)<sup>[2]</sup>,如指纹可被乳胶复制,人脸可以被打印或带人脸假体面具,声音也可能被录制。由于每个人的皮肤电传导性、体重、是否有先天性疾病、心脏和胸腔的位置、形状、大小均不一样,因此每个人的心电图 ECG (electrocardiogram) 信号均不一样,并且只能在体内测量,难以模拟或复制,具有很高的安全性<sup>[3-4]</sup>。而且,心脏运动随着人的生命开始而开始,随着生命的结束而停止,ECG 信号仅能在活体上被采集到,可以作为人内在的活体检测方式。这样使用人体独特而复杂的心电图信号进行身份识别可以解决目前生物识别中的表示攻击问题。

随着微电子技术飞速发展,IC 设计工艺不断提升,集成度越来越大,出现了系统级 SOC (system-on-chip) 芯片,将整个电路系统集成到一个芯片上。基于 FPGA 的可编程 SOC 由于充分利用了 FPGA 的并行性、流水线操作以及软硬件协同设计的优势,目前广泛应用在对智能信号处理算法进行硬件加速方面,以满足其实时性需求<sup>[5-6]</sup>。利用 ARM 开源的 Cortex-M3 微处理器软核,在 FPGA 上搭建了一个集心电图采集接口电路、ECG 身份

识别电路和串口屏显示接口电路于一体的 SOC。该 SOC 控制 ADS1292 模块采集心电图数据,并传输到基于 PCA 和欧几里得距离度量的 ECG 身份识别算法硬件加速器上获得识别结果,再根据识别结果判断被测者身份,将身份识别结果显示在串口屏上。

## 1 身份识别算法

算法流程图如图 1 所示。

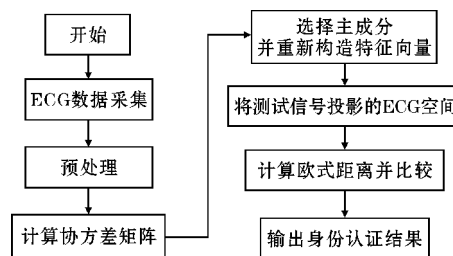


图1 身份识别算法流程图

为了在 ECG 信号中找到最为重要的特征,一般采用基于特征点提取的基准(fiducial-dependent)方法和基于波形提取的非基准(fiducial-independent)方法<sup>[7]</sup>。由于基于波形提取的非基准方法不需要参考基准点定位和心跳分割,只需从一个或多个 ECG 周期波形中提取全局模式,或在频域上提取判别性信息,相比于基于特征点提取的基准方法需要的人工特征工程工作要少,更容易实现,而且泛化能力更强<sup>[8]</sup>,因此采用非基准的方法提取 ECG 特征。利用在登记阶段构造的 ECG 数据库,通过主成分分析 PCA (principle component analysis) 算法对 ECG 数据库的波形特征进行降维处理<sup>[9]</sup>,找到区分 ECG 数据库中不同 ECG 信号最主要的波形特征,而忽略所有 ECG 信号都共有的波形

收稿日期:2022-09-13

基金项目:国家级大学生创新创业训练计划资助项目(S202110621086);四川省科技计划重点研发资助项目(2019YFG0126)

特征。身份识别时先将采集的 ECG 信号投影到 PCA 空间,然后采用欧几里得距离计算该 ECG 信号与存储在 ECG 数据库里的信号的差异性,差异最小所对应的那个 ECG 信号即为识别出的结果。

### 1.1 算法介绍

(1)数据获取。将 ECG 训练集存储在大小为  $N \times P$  的矩阵  $T$  中。矩阵的每一列表示一段 ECG 信号,共有  $P$  段。每段 ECG 信号采集  $N$  点。所有 ECG 信号必须有相同的长度和分辨率,并且都以 R 波为中心点。

(2)预处理。首先求出所有训练集上每个采样点的均值,即对  $T$  的每一行求均值:

$$\mathbf{mu}(i,1) = \frac{1}{P} \sum_{j=1}^P T(i,j) \quad i=1,2,\dots,N$$

然后,将训练集上的采样点减去该均值,得到矩阵  $A$ :

$$A = T - \mathbf{mu}$$

(3)计算矩阵  $A$  的协方差矩阵:

$$C = A \times A^T$$

协方差矩阵的计算是运算密集型的,因此需要采取优化算法减少这个运算量。由于对于  $N \times P$  的矩阵,其非零特征值的最大数目为  $P-1$  与  $N-1$  中较小的一个。一般  $P < N$ , 因此非零特征值的最大数目为  $P-1$ 。这样可以采用计算  $A^T \times A$  的特征值代替计算  $A \times A^T$  的特征值以减少运算量。设置  $C$  的代理矩阵  $L$  如下:

$$L = A^T \times A$$

计算代理矩阵  $L$  的特征向量  $V$  与特征值  $D$ 。其对角线元素即是  $L$  的特征值。

(4)选择主成分并重新构造特征向量。将小于给定门限值的特征值排除掉,这可以大大降低矩阵的维度。一旦根据前面得到的特征值得到特征向量,就可以根据特征值从大到小(即特征的重要程度)对特征向量排序:

$$p = (v_1, v_2, \dots, v_m)$$

式中,  $p$  是大小为  $P \times M$  的  $L$  的协方差矩阵。由于  $L$  是  $C$  的代理矩阵,目的是计算  $C$  的协方差矩阵而不是  $L$  的协方差矩阵,这可以通过下面的方法得到:

$$E = A \times p$$

式中,  $E$  即为协方差矩阵  $C$  的特征向量,大小为  $N \times M$ ,表示了训练集  $T$  的 ECG 信号的最重要的  $M$  个特征向量,其包含了训练集中所有的主成分系数,并已在列上按照主成分方差大小降序排列。

(5)将采集的 ECG 信号投影到 ECG 空间中。为了将采集的 ECG 信号用它的主要特征值表示,需要将其投影到 ECG 空间中。方法是先将采集的待测试的 ECG 信号减去均值向量  $\mathbf{mu}$ ,得到  $I$  矩阵,然后按照下面的方法投影到 ECG 空间中:

$$y = E^T \times I$$

其中  $y$  为投影到 ECG 空间的测试向量。

(6)计算欧几里得距离并比较。测试向量  $y$  与保存在数据库中的  $P$  段 ECG 信号分别计算欧式距离:

$$d(i) = \sum_{j=1}^M (y(j) - p^T(i,j))^2 \quad i=1,\dots,P$$

从  $P$  个人中找到距离最近的那一个:

$$d^* = d(i^*) = \min_{i=1,2,\dots,P} d(i)$$

也就是找到最小的那个  $d(i)$ , 此时的  $i$  即为  $i^*$ , 代表身份识别出的结果 ID。设置一个阈值,并且  $d^*$  小于设定的阈值时,则可判断是这个人,若其最小值  $d^*$  大于这个阈值,说明身份认证失败。

### 1.2 算法实现

算法实现分为身份登记与身份识别(认证)两个阶段。身份登记阶段采用 MATLAB 实现。首先录入每个人的 ECG 数据信息,然后在 MATLAB 中运行脚本“[coeff, score, latent, tsquared, explained, mu] = pca(A, 'algorithm', 'svd', ...);”得到的 coeff 即为前面的  $E$ , score 即为前面的  $p$ , 将 Matlab 计算得到的两个矩阵(coeff 与 score)和一个列向量(mu)保存到数据库中,然后存储在 FPGA 的存储器中。

身份识别阶段采用 FPGA 实现,在 FPGA 中将实时采集的 ECG 信号按照 1.1 节中的步骤(2)进行预处理得到  $x$ , 然后应用硬件加速的方法实现矩阵相乘,实现  $Y = E^T \times x$  得到 PCA 投影后的测试向量  $y$ , 然后将该测试向量  $y$  与代表数据库中  $P$  个不同人的  $P$  个投影训练向量  $p_i$  分别进行欧氏距离计算,并找出欧式距离最小的那一个,通过这个最小欧式距离值与设定的阈值比较,最终确定是否是已在数据库中登记的人,到底是哪一个人。

由于计算欧式距离时,是否开平方根运算的结果并不影响欧式距离最小值的搜索,因此在 FPGA 上用硬件实现欧式距离时,为减少运算量,降低硬件资源开销,计算欧式距离时没有进行开平方根运算<sup>[10]</sup>。

## 2 SOC 设计

### 2.1 软硬件分工

本设计采用基于 ARM 软核<sup>[11]</sup>的软硬件协同设计方式设计 SOC。其中软件部分采用 Cortex-M3 微处理器负责对程序进行控制,对 SOC 系统中的 ECG 数据进行读取、调度和简单的预处理,以及实现对串口屏的驱动及将身份识别结果显示在串口屏上。硬件部分(即 FPGA 数字逻辑部分)负责将 MATLAB 端训练得的系数部署到 FPGA 内的存储器中,实现身份识别算法所需的矩阵相乘运算的硬件加速。

2.2 系统框架设计

本文 SOC 采用 ARM 公司提供的 DesignStart Eval 版本 Cortex-M3 IP 核<sup>[12]</sup>作为微控制器核心,SOC 整体部署在 FPGA 平台上。硬件电路部分还包括时钟及复位管理模块、硬件加速器、AHB 外设接口、AXI 桥接器、APB 桥接器和各个 AHB、APB 外设接口等,片上系

统设计框图如图 2 所示。

Cortex-M3 内核使用 AHB 总线与外设连接,所以该 SoC 的设计采用 AHB 总线将内核与片内存储器和 GPIO 进行连接,使用 APB 总线连接 UART、定时器、动作发生器等外设,而 APB 总线上的外设通过 AHB-APB 总线桥接器与内核进行数据交互与应答。

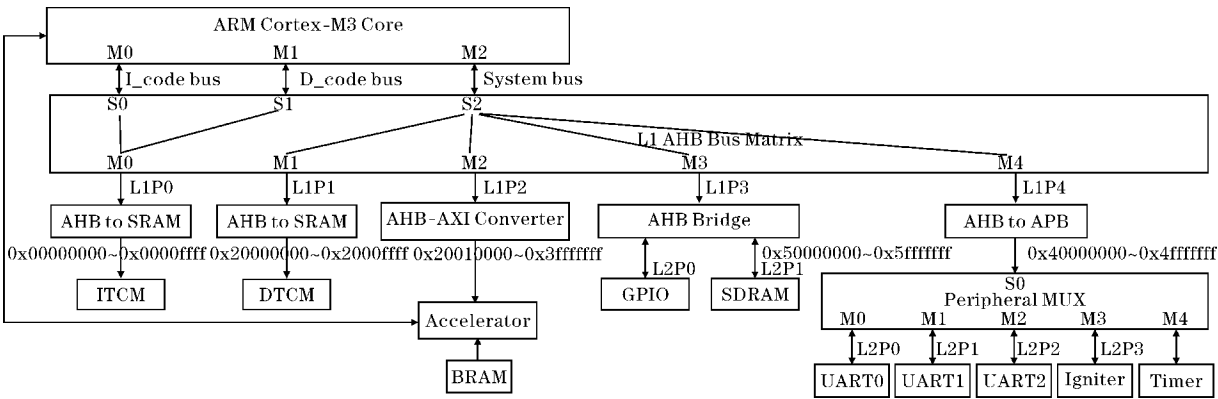


图 2 片上系统设计框图

如图 2 所示,Cortex-M3 处理器通过 3 根总线与其余部件通信。其中的 I-CODE 总线和 D-CODE 总线是基于 AHB-Lite 总线协议的 32 位总线,负责在 0x00000000~0x0000ffff(64KB)之间的取指、数据访问操作。在使用 keil 进行调试时,更新后的软件代码可以通过 D-CODE 端写进 ITCM。Cortex-M3 的系统总线控制了 Cortex-M3 存储模型的大部分地址区域,包括本系统的 DTCM、AHB-AXI Converter 及 AHB、APB 外设部分。

在 Cortex-M3 DesignStart Eval 开发套件中提供了一个相当有用的工具 CMSDK(Cortex-M System Design Kit)<sup>[13]</sup>,为开发 SOC 应用提供了便利。CMSDK 包含了许多关于 AHB 总线的转接模块,例如在本系统用到的基本总线矩阵、AHB-to-APB 总线桥等。存储器控制器、I/O 接口、定时器以及 UART 等,都可以从 ARM 和其他 IP 供应商处取得。使用 Verilog HDL 编写其他组件可实现整个系统的集成。

由于 Vivado 提供的 IP 核大多数基于 AXI 总线,而采用 HLS 设计也能很方便地设计出具有 AXI 接口的硬件加速器,为了加快设计进度,本设计采用开源代码 Verilog AXI Components<sup>[14]</sup>,实现 AXI 总线与 AHB 总线的相互转换以及 AXI 的互联。

2.3 身份识别硬件加速器设计

本设计采用高层次综合 HLS(high-level synthesis)实现身份识别硬件加速器。HLS<sup>[15]</sup>是 Xilinx 推出的高层次综合工具,是一种由更高抽象度的行为描述生产电路的技术。通过 HLS 的 directive 添加对应的约束,可以设置接口的类型、时序、内部资源的占用等,实现

对所设计的硬件的自动优化。采用 HLS 后,FPGA 开发的时间大大降低,这加速了 FPGA 的开发进程,使开发具有了更强的灵活性和高效性,HLS 的逐步完善使 FPGA 的开发高效性更进一步。HLS 技术的发展使人们可以把精力放在设计上,而更少地去关注底层的具体实现。

2.3.1 投影 ECG 测试信号到 ECG 空间

将采集的 ECG 测试信号先减去保存在 FPGA 存储器上的均值向量,然后投影到 ECG 空间上,其代码片段如下:

```
for (n=0; n < N; n++) {
    #pragma HLS UNROLL factor = 30
    Diff[ n ] = ECG_Input[ n ] - MEAN[ n ];
}
while (i < M) {
    j = 0;
    while (j < N) {
        #pragma HLS UNROLL factor = 30
        PCA_TEST[ I ] = EigenMatrix[ i ][ j ] *
        Diff[ j ]+PCA_TEST[ i ];
        j ++;
    }
    PCA_TEST[ i ] = PCA_TEST[ i ] >> 9;
    i ++;
}
```

通过 Pragma HLS UNROLL factor 可以对循环体展开成 30 份,这可以大大提高算法执行的并行性,但同时使硬件资源消耗也相应提高。实际使用时需要综合考虑实时性与资源占有率,对 factor 的取值进行折中设置。



2.3.2 计算欧式距离

计算欧式距离的代码片段如下：

```
do {
    # pragma HLS PIPELINE
    i = 0;
    do {
        # pragma HLS UNROLL
        Euc_dist[ k ] +=
        (PCA_TEST[ i ]-Proj_ECG[ k ][ i ])^2;
        i ++;
    } while (i < M);
    k ++;
} while (k < P);
```

通过 `pragma HLS UNROLL` 对内循环进行展开。由于主成分个数  $M$  一般较小,内循环可以完全展开,因此在进行循环展开优化时没有指定展开因子 `factor` 的值,即默认采取完全展开的方式。对于外循环,采用 `pragma HLS PIPELINE` 进行流水线优化,这可以显著提高系统的数据吞吐量。

2.4 APB 外设设计

APB 外设设有 UART、动作发生器( `Igni- ter` )、计时器( `Timer` )这 3 个模块,它们由 APB 总线挂载到系统中,负责实现系统的辅助功能。

2.4.1 UART

本文 SOC 系统使用了 3 个 UART,分别进行系统调试、ECG 数据采集和驱动串口屏显示。采用心电图信号采集模块 ADS1292 采集心电图信号,然后通过蓝牙模块无线发送给 SOC。SOC 采用 UART1 连接蓝牙模块,接收 ADS1292 模块发送过来的心电图信号。在身份识别硬件加速器模块对心电图信号进行处理、身份识别之后,将识别的结果通过 SOC 上 UART2 接口相连的串口屏进行显示,同时在调试时还可以通过 SOC 上的 UART0 连接到电脑上的串口调试助手中显示识别结果。

2.4.2 动作发生器

动作发生器负责接收来自 Cortex-M3 处理器的指令,根据具体的指令,唤醒身份识别硬件加速器或者 ECG 采集模块进入工作状态。

动作发生器的物理地址为 0x40003000,且与 Cortex-M3 处理器、身份识别硬件加速器、ECG 采集模块连接。当 Cortex-M3 处理器往该地址写入 0xAE 后,可以唤醒硬件加速器,同时 Cortex-M3 处理器进入待机状态,直至硬件加速器工作完毕。当 Cortex-M3 处理器往该地址写入 0xCE 后,可以唤醒 ECG 采集模块,同时 Cortex-M3 处理器进入待机状态,直至 ECG 采集模块已经将新的 ECG 数据写入 BRAM 中。

2.4.3 计时器

为统计系统身份识别所需要耗费的时间,加入了独立于处理器外部的计时器模块。计时器接入板载 100 MHz晶振作为时钟源,计时精度可以达到 1 ms。在计时之前,可以通过软件代码将计时器归零,同时启动计时器,并在执行完相应的计算之后读出计时器的计时结果,从而实现对算法执行时间的记录功能。

3 系统测试

3.1 资源利用率与性能

设计采用 Matlab2009a 在登记阶段进行训练,采用版本号为 AT421-MN-80001-r0p0-02rel0 的 Design-Start Eval 利用 Vivado v2021. 1 进行硬件开发,采用 MDK v5.23 进行软件开发,最终在廉价的 Ego1 开发板(FPGA 型号为 XC7A35TCSG324-1)上实现。所设计的 SOC 系统硬件资源利用情况如表 1 所示,可以看出消耗了 82.32% 的查找表资源和 18% 的触发器资源。其中大部分资源用于创建所设计的 SOC 结构,例如 AXI-AHB 协议转换器、乘法器等。其运行性能最高可以达到 90 MHz,满足实时性需求。

表 1 硬件资源利用情况

资源描述	已用量	可用总量	利用率/%
Slice LUTs	17123	20800	82.32
FF	7488	41600	18.00
Block RAM Tile	32	50	64.00
DSP48E	74	90	82.22

3.2 现场测试

5 位年龄在 18 ~ 45 岁的志愿者进行现场测试。先录入 ECG 信号,Matlab 端将数据训练好后,带上心电图测量设备开始实物测试,系统完成识别后结果显示在串口屏上,如图 3 所示。经过实验,取欧几里得距离阈值为 5,得到的混淆矩阵如图 4 所示。图 4 中每个小方格的数值表示识别测试者的次数。如第 1 行表示对 1 号测试者进行测试,其中有 67 次正确检测为 1 号测试者,错误检测为 2 号、3 号测试者各 2 次,检测为 4 号测试者 0 次,检测为 5 号测试者 4 次。由图 4 可知,这 5 位测试者的平均识别正确率可以达到 96.8%,识别结果满足要求。

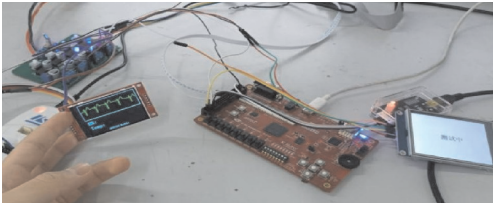


图 3 实物测试图

	1号测试者	2号测试者	预测 3号测试者	4号测试者	5号测试者
1号测试者	67	2	2	0	4
2号测试者	0	50	2	2	0
3号测试者	3	0	56	0	4
4号测试者	0	1	2	82	2
5号测试者	1	1	1	1	65

图 4 实物测试混淆矩阵

4 结束语

由于每个人的 ECG 数据具有独特性和难复制性,使对活体利用 ECG 进行身份识别具有很强的安全可靠。本设计根据 ECG 身份识别场景的需求,利用 FPGA 的灵活重构性定制化设计 SOC,将负责系统控制的微处理器软核和算法硬件加速器部署到同一个 FPGA 上。通过在 FPGA 上搭建片上系统,ECG 身份识别用硬件电路实现,使身份识别更具有灵活性、高效性,可靠性等特点。

参考文献:

[1] Zhai X, Amira A, Bensaali F. ECG Security Identification System on the Zynq SoC Platform [C]. IEEE International Conference on Computer & Information Technology; Ubiquitous Computing & Communications Dependable. IEEE, 2015: 1164-1169.

[2] A. George, S. Marcel. Learning One Class Representations for Face Presentation Attack Detection Using Multi-Channel Convolutional Neural Networks [J]. IEEE Transactions on Information Forensics and Security, 2021, 16: 361-375.

[3] Melzi P, Tolosana R, Vera-Rodriguez R. ECG Biometric Recognition: Review, System Proposal, and Benchmark Evaluation [EB/OL]. <https://arxiv.org/abs/2204.03992v1>. 2022.

[4] David Pereira Coutinho, Hugo Silva, Hugo Gamboa, et al. Novel fiducial and non-fiducial approaches to electrocardiogram-based biometric systems [J]. IET Biom., 2013, 2: 64-75.

[5] 郭炜, 魏继增, 郭箬, 等. SoC 设计方法与实现 [M]. 2 版. 北京: 电子工业出版社, 2011.

[6] 杨翠娥. 基于 FPGA 的片上系统设计研究 [J]. 山西电子技术, 2021(4): 82-84.

[7] Uwaechia A N, Ramli D A. A Comprehensive Survey on ECG Signals as New Biometric Modality for Human Authentication: Recent Advances and Future Challenges [J]. IEEE Access, 2021, 9: 97760-97802.

[8] Zhang Q, Zhou D, Zeng X. HeartID: A Multiresolution Convolutional Neural Network for ECG-Based Biometric Human Identification in Smart Health Applications [J]. IEEE Access, 2017, 5: 1805-11816.

[9] A. Ait Si Ali, X. Zhai, N. Ramzan, et al. Enhanced Biometric Security and Privacy Using ECG on the Zynq SoC [J]. Biometric Security and Privacy, Signal Processing for Security Technologies, 2017, 4: 179-202.

[10] 陈龙, 陈子为, 朱美吉, 等. 基于 FPGA 的实时图像去雾系统 [J]. 成都信息工程大学学报, 2021, 36(2): 138-142.

[11] 陈艺. 一种基于 FPGA 软核处理器的数字控制系统设计 [J]. 电子世界, 2019(14): 165-166.

[12] ARM Inc. ARM Cortex-M3 Designstart Eval RTL and Testbench User Guide [EB/OL]. <https://developer.arm.com/documentation/100894/0000/?lang=en>, 2017.

[13] ARM Inc. Cortex-M System Design Kit Technical Reference Manual [EB/OL]. <https://developer.arm.com/documentation/ddi0479/b/>.

[14] Alex Forenreich. Verilog AXI Components [EB/OL]. <https://github.com/alexforenreich/verilog-axi>.

[15] Xilinx Inc. (2012). Vivado HLS User Guide [EB/OL]. <https://www.xilinx.com>. [accessed on 30-March-2022].

SOC Design for ECG-based Liveness Detection and Biometric Human Identification

WANG Yonglian, CHEN Ziwei, CAO Kun, YANG Yuhang, XIE Shuai  
(College of Electronic Engineering, Chengdu University of Information Technology, Chengdu 610225, China)

**Abstract:** Electrocardiogram (ECG) is one of the most safety-relevant biometrics due to its live indication and the unique specific waveform. This paper proposes a complete System-on-Chip (SOC) design on FPGA for human identification using Electrocardiograms (ECG) biometric. The ECG identification algorithm based on PCA (principle component analysis) and Euclidean distance metric is used for human identification, and the hardware acceleration of the identification algorithm is realized by using FPGA parallel operation. Based on the ARM DesignStart Cortex-M3 IP core, a SOC is built on Xilinx FPGA. The achieved implementation results show that the proposed SOC reached an identification accuracy of 96.8% and operating performance up to 90 MHz, which met the realtime processing requirements.

**Keywords:** DesignStart; system on chip; biometric human identification; ECG