

文章编号: 2096-1618(2024)01-0013-05

10 bit 高速低功耗 SAR ADC 设计

段鉴容, 聂海

(成都信息工程大学通信工程学院, 四川 成都 610225)

摘要: 基于 TSMC40 nm 工艺, 提出一种高速低功耗逐次逼近型模数转换器。设计电路采用全差分结构, 基于 vcm-based 电容拆分技术解决先进工艺下难以设计精准 VCM 电平和复杂逻辑的问题, 采用 double-tail 动态比较器实现高速和低功耗, 采用 TSPC 触发器设计 SAR 逻辑进一步提高速度和降低功耗, 采用异步时序, 通过环路自身产生比较器时钟, 不需要外接时钟信号, 降低设计复杂度。在 150 MHz 采样频率, 1.1 V 电源电压, 奈奎斯特的输入频率下, 对该设计进行仿真, 仿真结果表明, SAR ADC 的 ENOB=9.93 bit, SNDR=61.6 dB, SFDR=78.6 dB。

关键词: SAR ADC; 高速; 低功耗; 电容拆分技术

中图分类号: TN402

文献标志码: A

doi: 10.16836/j.cnki.jcuit.2024.01.003

0 引言

高速串行链路收发器和无线通信需要高速和中分辨率的模拟数字转换器(ADC)^[1], 信息技术的快速发展使高速、高精度和低功耗的模数转换器设计成为热点。根据不同领域的应用, 当前主流的 ADC 可以根据采样率和分辨率进行分类, 如闪存 ADC、 Σ - Δ ADC、流水线 ADC、逐次逼近 ADC(SAR ADC)等。SAR ADC 有低功耗、面积小等优势, 就高速 SAR ADC 的分辨率而言, 技术的进步使 SAR ADC 可以用于几百兆赫左右的应用^[2]。近年来, SAR ADC 已被广泛应用于移动和便携设备、工业控制、数据采集系统和生物医学仪器等领域^[3]。但目前 SAR ADC 设计大多数只关注速度或者功耗个别指标及繁琐复杂的开关时序, 如何折中设计, 在提升速度的同时降低功耗及简化设计值得关注。基于以上问题, 提出一款简化开关时序逻辑, 同时兼顾速度和功耗的设计方案。

1 SAR ADC 系统原理

设计一款全差分的 SAR ADC, 采用栅压自举开关作为输入信号采样, 基于 vcm-based 分裂式电荷型 DAC 的切换时序作为逐次逼近过程, 采用 double-tail 比较器, 逻辑部分由高速 TSPC 组成。设计的 SAR ADC 的系统结构如图 1 所示。输入信号由采样开关采样后由比较器进行比较, 比较后产生 VALID 信号, VALID 信号通过异步环路组合逻辑产生比较器时钟。

由于是拆分电容, 因此 SAR 逻辑产生的控制信号有两组, 分别用于切换分裂电容的开关, 具体实现逻辑将在下文叙述, 由此实现逐次逼近过程, 最后将形成的数字码通过 DEC 进行合并输出^[4]。

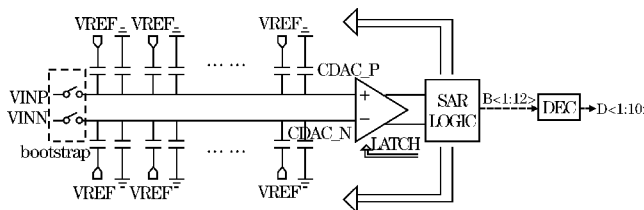


图 1 SAR ADC 系统框架

2 SAR ADC 电路设计

2.1 栅压自举电路

由于传统 MOS 管作为开关存在非线性等因素, 所以需要采用栅压自举开关作为采样开关以提升采样线性度。栅压自举开关电路结构如图 2 所示, 其中, CLK 为采样时钟信号, CLKB 为 CLK 的反相时钟信号, 栅压自举开关电路的基本原理如下: CLK 为低电平时, C_p 通过 M3、M4 充电至 VDD, 同时 M5、M9 将采样管 M_s 阻隔, CLK 为高电平时, M5、M9 导通, 将 M_s 的 VGS 提至 $V_{IN}+V_{DD}$ 。尽管自举开关能避免导通电阻与输入信号相关, 提高了线性度, 但它仍受电荷注入、时钟馈通等非理想效应的影响, 本文设计的全差分结构能够很好地抑制部分影响。图 3 为对 1024 个点, 输入频率为奈奎斯特频率下栅压自举开关作 dft 的频谱图, 其中 ENOB=11.01 bit@ 74.853515 MHz。

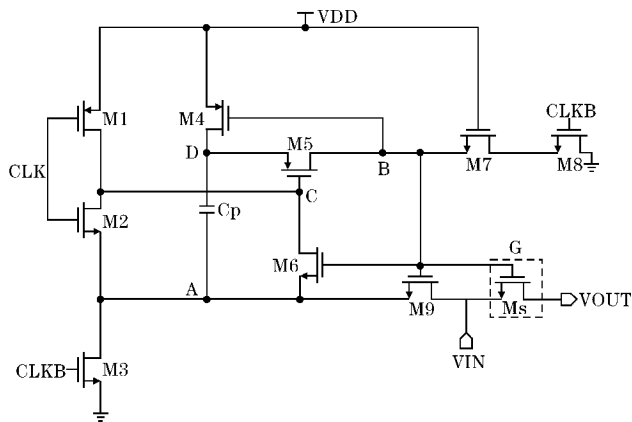


图2 栅压自举电路

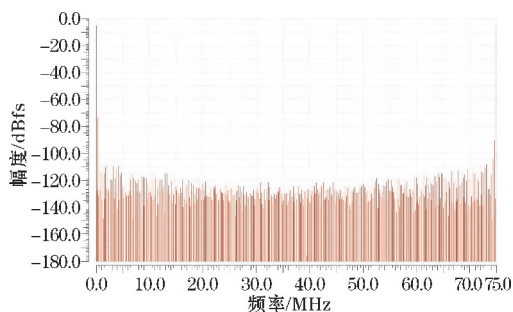


图3 bootstrap 的 dft 频谱图

2.2 基于电容拆分的 vcm-based 开关时序

传统 vcm-based 电容开关时序有功耗低的优点,相对于传统开关时序节能 87%,能显著减小电容阵列的开关功耗,但由于 vcm-based 电容开关时序需要接 3 个电位,导致切换开关的逻辑设计复杂,3 个电位的切换导致 DAC 的建立速度慢。对此,本文设计基于拆分电容技术的电容阵列^[5],这种结构能解决上极板采样导致 VCM 非恒定及减少 VCM 的切换,使 DAC 的建立加快。如图 4 所示,将一个电容拆分为两个值为原电容一半的电容,分别接 VREF 和 GND。当 VINP>VINN 时,MSB=1,此时正端最大电容只导通接 GND 的开关,负端最大电容同时导通两个开关,等效为接 VREF。此设计减小了开关逻辑设计的复杂度及解决了需要产生 VCM 的问题。单位电容的取值根据式(1)量化噪声需要大于 KT/C 噪声,其中 C_{tot} 为单边电容阵列总电容,又线性度要求 INL 带来的误差要小于量化误差,也要满足工业设计中 3σ 的设计原则^[6-7]:

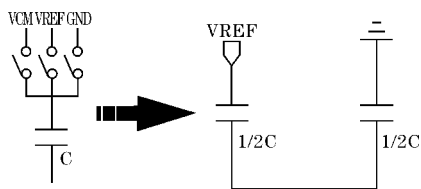


图4 拆分等效电容

$$2 \times \frac{KT}{C_{tot}} < \frac{\Delta^2}{12} \quad (1)$$

$$C_{tot} > \frac{24KT}{\Delta^2} \quad (2)$$

$$3\sigma_{INL} < \frac{1}{2}LSB \quad (3)$$

式中,INL 可以表示成 DNL 的最大均方差:

$$\sigma_{INL} = \sigma_{DNL,MAX} = \sqrt{2^{N-1}} \frac{\sigma_u}{C_u} LSB \quad (4)$$

结合式(3)、(4)可得:

$$\frac{\sigma_u}{C_u} < 0.7\% \quad (N=10) \quad (5)$$

结合 DAC 的建立速度和开关的能耗及版图的面,选用 $2fF$ 的单位电容。图 5 为 CDAC 在奈奎斯特输入频率下建立逐次逼近的情况。

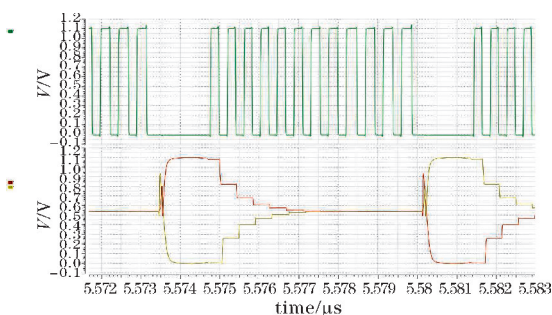


图5 CDAC 建立

2.3 double-tail 动态比较器

传统比较器需要外接偏置,会产生静态功耗。而动态比较器只在比较时产生功耗,从而减小了系统的能耗。本文设计的动态比较器如图 6 所示^[8],其中 LATCH 为比较器时钟,由异步环路产生,LATCH 为低电平时输出通过 M11、M12 下拉复位到 0,LATCH 为高电平时进行比较,输出通过锁存器快速拉至 VDD 和 0。这种结构能在较宽的共模电平范围内保持稳定的失调电压,也能在较低的电源电压下工作。通过合理的设计尾电流管的尺寸,使其长时间工作在饱和区,以获得更大的增益和较快的速度。采用此结构的比较器能满足速度和功耗的要求,但存在较大的失调电压,及产生低延迟的 LATCH_N 的问题。本文在比较器输入端引入补偿电容 M13、M14^[9]。当 LATCH 从 0 变为 1 时,通过 M13、M14 对 VINP、VINN 端补偿电荷,从而在一定程度上弥补 VINP、VINN 端共模差模的变化,从而减小回踢噪声的影响。将比较结果反向再通过与非门产生 VALID 信号用于异步环路 LATCH 的产生及 SAR 逻辑的控制。

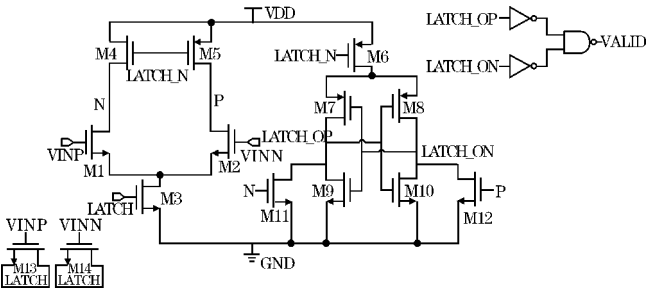


图 6 double-tail 动态比较器

2.4 SAR 逻辑

SAR 逻辑分为时钟产生和 CDAC 控制部分,时钟产生部分由比较器输出产生的 VALID 信号,采样时钟反向信号通过 TSPC 触发器产生^[10]。本次设计采用的带复位的 TSPC 触发器结构图如图 7 所示。该触发器结构简单,带复位结构仅用 14 个晶体管,而传统带复位 DFF 需要 28 个晶体管,相对于传统 DFF 减少了一

半的晶体管数量,能极大降低功耗,它有着速度快,功耗低的优点,适用于高速设计。

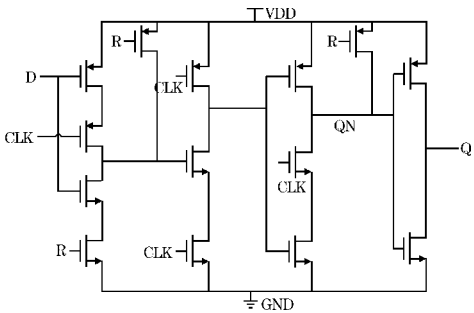


图 7 带复位 TSPC 触发器

时钟产生电路如图 8 所示,每进行一次比较就会产生时钟信号 CLK<n>(n=1~12),同时 CLK<12>作为比较结束信号与采样信号和 VALID 信号进行逻辑组合产生 LATCH 控制比较器,当 LATCH 为低电平对比较器进行复位处理,从而进行下一次的比较周期。

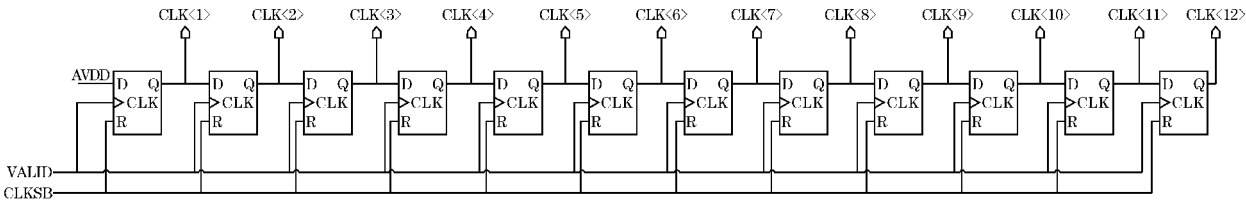


图 8 时钟控制模块

CDAC 开关控制逻辑电路如图 9 所示,本文设计为分裂电容 CDAC,即需要 4 个逻辑信号控制双边同位电容,由比较器比较结束产生的信号和 CLK<n>通过 TSPC 触发器产生 4 个用于控制开关的信号。具体工作过程如下:当 VINP>VINN 时,比较器比较结束产生的 CMP_P 为 1,CMP_N 为 0,通过 TSPC 触发器后,产生的 SWP_RSTN<1>为 1,SWN_RST<1>为 0,SWN_RSTN<1>为 0,SWP_RST<1>为 1。信号控制 CDAC 开关,正端的两个信号都为 1,通过开关下拉至 GND,负端两个信号为 0,通过开关将上拉至 VREF,完成建立,直到完成 LSB 比较。

550 mVpp 的正弦波采 1024 个点进行仿真分析,整体模块功耗为 1.592 mW,输出频谱如图 10 所示,分析结果表明在 150 M 的采样速率下能够达到 ENOB = 9.93 bit,SFDR = 78.6 dB,SNDR = 61.6 dB。由仿真结果可以看出,此 SAR ADC 的设计实现在 150 MHz 的采样频率下能够完成 11 次量化,并保证了 10 位的量化精度,整体功耗小于 1.6 mW 实现较低功耗要求。

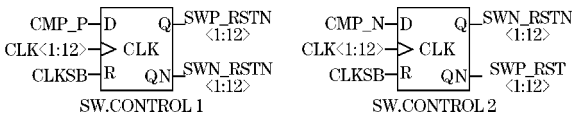


图 9 开关控制逻辑

3 SAR ADC 仿真结果及分析

本设计电路基于 TSMC40 nm 工艺,在电源电压为 1.1 V,采样频率为 150 MS/s,参考电压 VREF 为 1.1 V 下,对输入频率为 74.853515 MHz,差分摆幅为

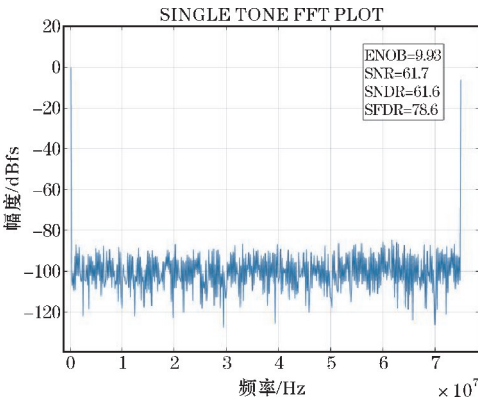


图 10 SAR ADC 输出频谱

加入噪声后对其仿真如图 11 所示,在加入 transnoise 后,SNDR 性能下降至 58.35 dB,SFDR 下降至 75.44 dB,总体在可接受范围。

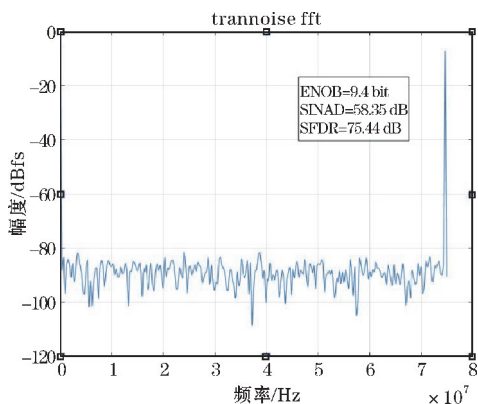
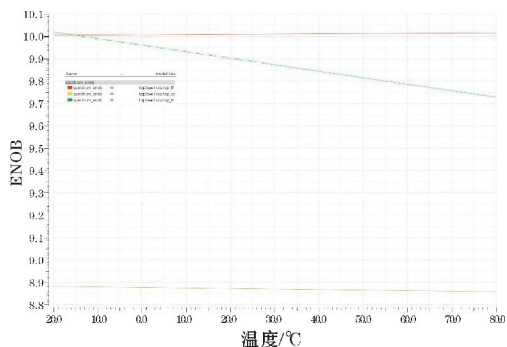
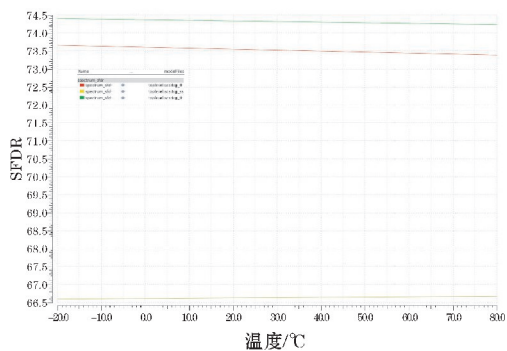


图11 交流输入噪声仿真结果频谱图

对本设计进行 PVT corner 仿真,如图 12 所示,在 $-20\text{ }^{\circ}\text{C} \sim 80\text{ }^{\circ}\text{C}$ 的 corner 下,本次设计的 ADC 的 ENOB 值在 ff 和 tt 下均大于 9.7 bit,ss 在 8.9 左右,SFDR 在 tt 和 ff 下均大于 73.5 dB,ss 在 66.5 以上,由此可见基本满足设计要求。



(a) ENOB



(b) SFDR

图12 PVT corner 仿真

本次设计在兼顾速度与功耗的折中上,同时简化传统 vcm-based 开关时序设计的复杂度,达到较好效果。但从结果分析,ADC 整体的 SFDR 小于 80 dB,说明设计中还需要优化噪声的影响,噪声主要是由比较器提供,也需要尽量做好 CDAC 开关阻抗的匹配。对于采样开关也需要注意采样开关的时钟馈通和电荷注入的问题,另外由于本文仅采用分裂式电容开关简化

逻辑控制设计的复杂度,但未改变时序控制算法,由于 LSB 位无法分裂,比传统 vcm-based 带来共模的偏移,这也是简化逻辑设计带来的问题,可以优化时序控制逻辑及改变 DAC 结构方式以减小功耗。

4 结束语

本设计采用二进制冗余基于 vcm-based 分裂式 CDAC 技术来降低对建立时间和精度的要求,以及简化控制逻辑的设计,采用 double-tail 高速比较器来提高比较器的速度和精度,并通过增加 MOS 电容减小回踢噪声,SAR 逻辑控制电路采用 TSPC 触发器来提高 SAR 的速度和降低逻辑部分的功耗,并且采用异步时序控制,不需要外部时钟,有利于提高 SAR ADC 的速度,并降低设计的复杂度。经过仿真验证,本文设计的 SAR ADC 在兼顾速度、功耗及设计难度上做到了较好的折中。

参考文献:

- [1] D Cui. A 320mW 32Gb/s 8b ADC-Based PAM-4 Analog Front-End with Programmable Gain Control and Analog Peaking in 28nm CMOS[C]. ISSCC, 2016:58-59.
- [2] Ma J, Guo Y, Li L, et al. A low power 10-bit 100-MS/s SAR ADC in 65nm CMOS[C]. IEEE, International Conference on Asic. IEEE, 2011: 484-487.
- [3] Sauerbrey J, Schmitt-Landsiedel D, Thewes R. A 0.5V, 1μW successive approximation ADC[C]. Solid-State Circuits Conference, 2002. Esscirc 2002. Proceedings of the, European. 2002:247-250.
- [4] ChunCheng Liu, Soon-Jyh Chang, Guan-Ying Huang. A, 10-bit 50-MS/s SAR ADC With a Monotonic Capacitor Switching Procedure[J]. IEEE, 2010, 45(4):733-734.
- [5] Wen-Lan Wu, Sai-Weng Sin, Seng-Pan U, et al. A 10-bit SAR ADC With Two Redundant Decisions and Splitted-MSB-Cap DAC Array[J]. IEEE, 2012:268-270.
- [6] Harpe P J A, Zhou C, Bi Y, et al. A 26μW 8 bit 10 MS/s Asynchronous SAR ADC for Low Energy Radios[J]. IEEE Journal of Solid-State Circuits,

2011,46(7):1585–1595.

[7] Lin J, Hsieh C. A 0.3 V 10-bit 1.17 f SAR ADC With Merge and Split Switching in 90 nm CMOS [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2015, 62(1):70–79.

[8] 朱樟明, 杨银堂. 低功耗 CMOS 逐次逼近型模数转换器[M]. 北京: 科学出版社, 2015:19–20.

[9] 谷宪. 高速低功耗小尺寸 SAR ADC IP 设计 [D]. 北京: 清华大学, 2017.

[10] J Yuan, C Svensson. High-speed CMOS circuit technique [J] IEEE J. Solid-State Circuits, 1989, 24:62–70.

A 10 bit High Speed Low Power SAR ADC Design

DUAN JianRong, NIE Hai

(College of Communication Engineering, Chengdu University of Information Technology, Chengdu 610225, China)

Abstract: Based on the TSMC40nm process, this paper proposes a high-speed, low-power successive approximation analog-to-digital converter(ADC) with advanced circuit design features. The proposed ADC overcomes the challenges associated with precise VCM levels and complex logic in advanced processes by employing a fully differential structure and a vcm-based capacitor splitting technique. Furthermore, a double-tail dynamic comparator achieves high speed and low power consumption, while a TSPC trigger optimizes the SAR logic for speed and power. An asynchronous timing scheme generates comparator clocks through the loop itself, avoiding the need for an external clock signal and simplifying the design. Simulation results at a sampling frequency of 150 MHz, a supply voltage of 1.1 V, and an input frequency nearly the Nyquist frequency show that the SAR ADC has an ENOB of 9.93 bit, an SNDR of 61.6 dB, and an SFDR of 78.6 dB.

Keywords: SAR ADC; high speed; low power; capacitor splitting technique