

文章编号: 2096-1618(2024)06-0660-05

基于FPGA的时基设计和时基非线性补偿

李 佳¹, 邓庚会², 陈永强¹

(1. 成都信息工程大学通信工程(微电子)学院, 四川 成都 610225; 2. 电子科技大学航空航天学院, 四川 成都 611731)

摘要:为提高宽带时域反射计的等效采样率和时基分辨率,设计一种基于现场可编程门阵列(field programmable gate array, FPGA)的时域反射计数据采集模块的时基方案,并设计一种基于查找表的时基校准方法对时基非线性进行补偿。该方法基于等精度测频法,使用FPGA测量该方波信号的频率,得到准确的延迟时间以实现查找表的建立。并利用采样芯片的微调引脚实现1 ps步进的顺序等效采样和时基非线性实时补偿。实测数据表明:设计的时基采样方案实现了1 TSA/s等效采样率,时基补偿方案使时基非线性减小至 $-0.8 \sim 1$ ps。

关键词:顺序等效采样;现场可编程门阵列;数据采集模块;数模转换器;采样时基

中图分类号: TN929.52

文献标志码: A

doi: 10.16836/j.cnki.jcuit.2024.06.003

0 引言

宽带时域反射计(TDR)是帮助研究人员观察波形、解决信号难题的一大工具,其在通信、电子、航空航天领域都发挥着重要作用。如在航空航天领域,飞机的大多数线缆都需要进行集束后布设在飞机内部的狭小空间内,一般不允许裸露在外部。当电缆出现故障时,很难直接定位故障点,需要机务人员将各种机载设备拆除,甚至将整段电缆拆下才能找到故障电缆并进行修复。TDR则可以通过反射波形快速定位故障点并判断故障类型,大大降低了操作难度和风险,提高了故障排查效率,并且操作便捷、测量速度快,是军用电缆、航空总线现场故障排查、精确定位的最佳仪器。

由于中国对数据采集技术的研究以及半导体行业起步相对较晚,虽然近年来发展迅速,但目前中国产品化的TDR还处于较低带宽和较低采样率的阶段,无法对高频、快沿信号进行有效捕获,满足不了实际应用需求^[1]。而进口的高带宽、高采样率TDR不仅十分昂贵,且一些产品对中国禁售,这进一步对TDR的开发增加了难度。在此背景下,本文基于顺序等效采样技术,设计一种新的时基电路和时基校准方案,提高了TDR时基系统的等效采样率,减小了非线性失真。

实现顺序等效采样是时域反射计采样时基系统完成高精度采样的关键,而实现准确的顺序等效采样,恢复完整波形的关键是准确的步进延时^[2]。一般TDR系统的步进延时方法有双游标法、斜坡法和延时线

法^[3-4]。双游标法原理和游标卡尺相似,其系统稳定度受晶振稳定度影响,对晶振要求很高,高精度的晶振价格非常昂贵,增加成本^[5]。斜坡法是利用斜坡电路对时间进行延迟,斜坡发生器由二极管、三极管和电容等模拟分立器件组成,电路结构复杂,且输出容易受噪声、温度等影响,难以达到良好的线性度,延时分辨率精度不够,稳定性不高^[6]。传统延时线法是将两个或多个延时单元结合起来形成延时链,一般都是采用2片延时芯片形成两级延时,延时精度不高,且延时芯片价格高昂,1片延时芯片价格在1~2万元,精度越高价格越贵^[7-8]。

时基系统还存在时基非线性,这是由于延时芯片的非线性和自身硬件系统的影响^[9-10],每次步进延时时时间不固定,导致实际采样间隔不相等,严重影响采样效果,这时需要对时基非线性进行补偿校准,完成校准最重要的是对时基间隔进行精准的测量^[11]。传统的校准方法有正弦拟合法、最小二乘法、反卷积法等^[12]。正弦拟合法虽然在时基不连续时具有较大优势,但需要很多不同波形的信号数据,如频率、初始相位进行计算^[13]。最小二乘法需要对两个频率相近的信号进行测量,其精度也不符合本文系统要求^[14]。反卷积法局限性较大,只适用于低频信号的校准,且校准精度较差^[15]。上述传统校准补偿方法皆存在补偿方法复杂、实施困难、补偿效果不好的缺点。

本文针对TDR系统等效采样率低的问题,设计一种“粗延迟+实时校准细延迟+微延迟”的三级可编程采样时基结构,采用1片延时芯片实现三级步进延时,节约了成本,弥补了传统步进延时方法延时精度不足、

电路复杂、线性度差的缺点。针对时基测量计算复杂且误差大的问题,设计一种基于查找表的实时校准补偿技术,利用时基电路的反馈回路和步进延时芯片的微调引脚,对细延时进行补偿。这一方法不仅弥补了传统时基补偿方法精度不足的缺点,还减小了计算量和计算难度,适用于高精度数据采集系统。实测实现了1 TSa/s等效采样率,即最小1 ps的步进延时,校准后系统非线性减小到-0.8~1 ps。

1 采样时基电路与时基校准

1.1 步进延时采样方案与电路设计

时基部分的核心是顺序等效采样,而实现的关键是步进延时。为提高采样精度和等效采样率,本文采用“粗延时+细延时+微延时”的三级步进延时线方案,仅采用1片延时芯片实现了三级延时,最小步进延时1 ps,弥补了延时精度不足、延时线方案成本高的缺陷。时基电路设计如图1所示。

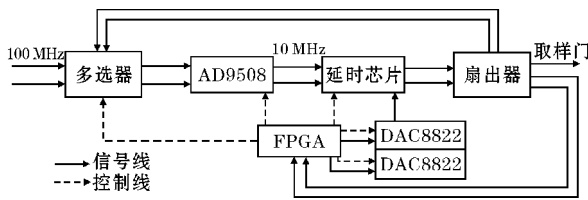


图1 采样时基电路图

在方案中,时基电路采用100 MHz的输入时钟,经过多路复用器进行后续电路时钟的选择。5 ns粗延迟采用带有可调相位功能的分频扇出芯片AD9508实现,该芯片可编程实现最小1/2输入时钟周期的延迟。100 MHz时钟信号经过十分频后输入高速可编程延时芯片,延时芯片对信号进行10 ps细延时处理,延时后的信号再扇出后反馈回多路复用器,进行第二次延时。电路中AD9508和延时芯片的引脚反向相接,二次延时以获得完整的方波信号,该信号随后被输入到FPGA中进行延迟时间测量。微延时则通过延时芯片的微调引脚与数模转换器(digital to analog converter, DAC)实现,利用输入电压与延时量之间的关系调整微调引脚,控制单元调整控制字,控制DAC输出相应的电压输入至微延时模块即可产生不同的延时量,以实现1 ps微延时。采用并行DAC以实现更快的处理数据速度,并且产生的噪声比单片DAC更低。

1.2 时基校准方案设计

由于粗延时、细延时、微延时在理论上是固定且一

一对应的,产生10次1 ps微延时对应1次10 ps的细延时,产生10次细延时对应5 ns粗延时,粗延时是固定的1/2个输入时钟周期5 ns。由于系统的非线性以及电路布局布线等因素产生的干扰,每次实际的细延时不在固定的10 ps上,而是以10 ps为中心左右偏移。这种现象叫作时基非线性失真,此时延时芯片产生的10 ps细延迟无法与1 ps微延迟衔接,导致时基漂移。为解决这一问题,本文引入了时基补偿算法来对细延时值进行补偿。

进行时基校准的前提是测得准确的延迟量数据,因此时基校准方法基于等精度测频法^[16],使用FPGA计数器模块对延迟时间进行测量。通过使时基系统自震荡,测量震荡频率,即可得到精确的延迟量。将待测脉冲信号频率 F_i 与基准时钟信号频率 F_{ref} 一起输入到计数器中,当待测脉冲信号的计数值达到预设值 N_i 时,计数停止,并得出基准时钟信号的计数值 N_{ref} ,用公式表达为

$$F_i = \frac{N_{ref} \times F_{ref}}{N_i} \quad (1)$$

求出两次相邻的延时周期,就可以得出测量误差:

$$\Delta T = \frac{T_{ref}(N_{ref}+1)}{N_i} - \frac{T_{ref} \times N_{ref}}{N_i} = \frac{T_{ref}}{N_i} \quad (2)$$

该方法可以得到系统的总延时时间,总延时时间由粗延时、细延时、微延时和固定延时组成,校准针对细延时,由微延时对其进行补偿,其函数关系:

$$\text{Total}(i, j, t) = \text{Tiny}(i, j, t) + \text{Fine}(j, t) + \text{Fix}(t) \quad (3)$$

其中, i 为细延时的并行控制编码, j 为DAC的电压值, t 为时基电路的温度。

以10 ps步进延时为例,保持 $j=j_0$ 不变,可得温度为 t 时,细延时的步进延时真实值:

$$\begin{aligned} \text{Step}(i, t) &= \text{Total}(i, j_0, t) - \text{Total}(i-1, j_0, t) \\ &= \text{Tiny}(i, t) - \text{Tiny}(i-1, t) \end{aligned} \quad (4)$$

求DAC电压值 j :

$$\begin{aligned} \text{Ftune}(j, t) &= 10 - \text{Step}(i, t) \\ &= \text{Fine}(j, t) - \text{Fine}(j_0, t) \\ &= \text{Total}(0, j, t) - \text{Total}(0, j_0, t) \end{aligned} \quad (5)$$

不断增大 i ,计算出不同的 i 需要补偿的延时量,并将补偿量对应的DAC电压 j 存入补偿查找表,即可完成针对时基非线性的校准。

经测量,正常工作温度下,温度对步进延时以及微调延时的影响较小且不存在明显的线性关系,故在步进延时非线性校准中不考虑温度的影响。

为验证上述公式的正确性,根据DAC的另一输出通道与步进延时芯片的微引脚相连的特点,实测得出步进延时芯片的微调引脚输入电压值与延时量之间的

关系,实测图如图2所示。

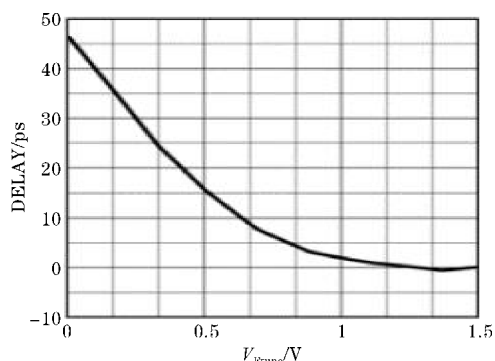


图2 延时芯片输入电压与延迟量关系

根据此关系,选择中间部分线性度最好的延时量 20 ps作为延时起始点,不断增加 DAC 输入电压。控制微调引脚,调整步进延时值,然后将电压值和对应的延时值制表,后续经过查表调整 FTUNE 引脚上的电压,延迟可以在约 40 ps 的范围内连续变化,以实现 1 ps 时基非线性校准。

在此过程中,DAC 输出电压经运算放大器进行运算,假设运算放大器正极输入电阻为 R ,电压为 $V_{2.048}$,负极输入电压为 V_{in} ,输出电压 V_{out} ,反馈端电阻为 R_1 ,接地端电阻为 R_2 ,由基尔霍夫电流定律可得:

$$\frac{V_{in}}{R_2} = \frac{V_{2.048} - V_{in}}{R} + \frac{V_{out} - V_{in}}{R_1} \quad (6)$$

整理得:

$$V_{out} = \frac{RR_1 + RR_2 + R_1R_2}{RR_2} V_{in} - \frac{R_1}{R} V_{2.048} \quad (7)$$

运算放大器要使输出电压范围扩大,在计算中先要放大 2.048 倍再减去 2.048 V,根据式(7)可得 $R_1 = R$,假设电阻为 3 Ω ,可得:

$$V_{out} = \frac{3+2 \cdot R_2}{R_2} V_{in} - V_{2.048} = \left(\frac{3}{R_2} + 2 \right) V_{in} - V_{2.048} \quad (8)$$

由于时基输出电压会有偏差,就略提高输入电压的倍数,并选择较大的 R_2 ,最终公式如下:

$$V_{out}(V) = 2.048 V_{in} - 2.048 \quad (9)$$

2 采样时基 FPGA 时序设计

本文采用 Xilinx 公司的 Artix 7 系列 xc7a100 型号 FPGA 作为控制器来控制整个时基电路的工作。当 FPGA 接收到采样指令后,会对 DAC、步进延时、脉冲源等模块进行初始化配置。初始化完成后,系统收到步进延时开始指令,控制单元控制扇出器,将 100 MHz 晶振时钟作为多选器的输出信号,通过分频扇出器分频后产生两路 10 MHz 的时钟信号。其中一路用于触发脉冲源模块产生入射波,另一路则输入步进延时模

块产生延时后进入采样模块进行数据采集。采集完成后,拉高 Sample_done 信号。此时,FPGA 控制的步进延时模块会向前步进 1 ps。采样时基的时序图如图 3 所示。

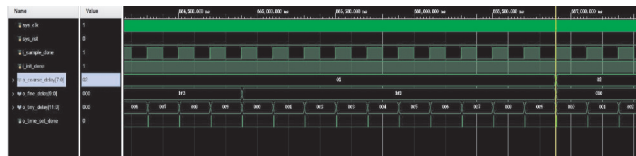


图3 采样时基时序图

init_done 高电平代表系统初始化结束。当系统检测到 Sample_done 和 init_done 同时为高电平时,开始对 fine_delay_count 细延时计数器和 coarse_delay_count 粗延时计数器进行计数。

将细延时的并行控制编码 i 设为 1,微延时模块的 DAC 电压设为补偿查找表中对应的值 j_1 ,粗延时设置为 0 ns。增加 i 的值,并将 DAC 电压设为补偿查找表中对应的值。系统根据 FTUNE_data 进行时基校准和微延时。当步进值达到 9 ps 时, fine_delay_count 值加 1,代表完成了一个数的 10 ps 细延时。当 $i = 499$ 时,将 i 与 j 的值重置为初始状态,同时 coarse_delay_count 的值会加 1,此时,代表 5 ns 的粗延时计数完成。在细延时计数器加 1 的同时, FTUNE_data 会归零,并且控制 AD9508 输出的时钟信号延迟 5 ns。然后细延时计数器又从 0 开始计数,一直循环,直到获取的采样数据可以完整地恢复出原始波形。

3 实测结果

将实测数据导出并绘图(图4)。图4是在最小 1 ps 步进值条件下采样得到的波形图,一共 4000 个采样点,实现了 1 TSa/s 的等效采样率。取 0 ~ 300 ps 时间段的采样波形,电压变化范围 -150 ~ -200 mV,蓝色代表第一次采样,橙色代表第二次采样,由图4可以看出两次采样点重合度很高,表明时基控制效果较好。

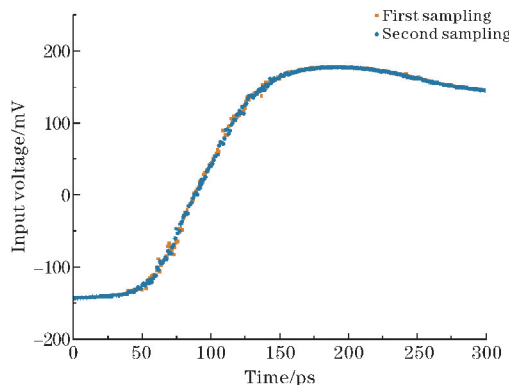


图4 采样波形图

校准前和校准后的对比可以从图5看出,蓝色散点代表校准前细延迟输出,橙色散点代表校准后。将10 ps作为坐标零点,校准前非线性误差在 $-6.5 \sim 5$ ps,校准后细延迟输出非线性误差则控制在10 ps左右。将校准后的输出散点图放大,由图6可看出,将 $-6.5 \sim 5$ ps的非线性,校准到了 $-0.8 \sim 1$ ps。可看出本文提出的查找表校准算法效果较好,大大减小了非线性对时基系统的影响。

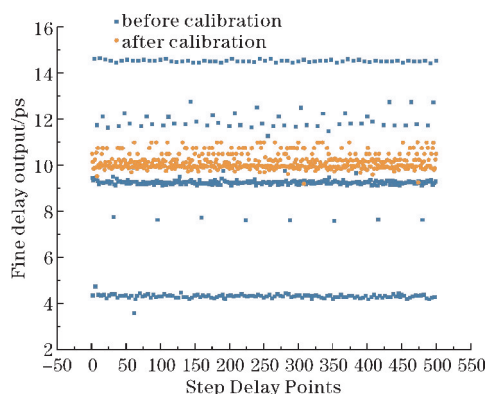


图5 校准前和校准后的细延迟输出对比图

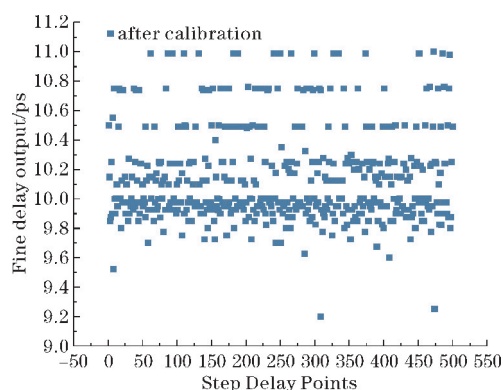


图6 校准后细延迟输出散点图

4 结论

本文针对传统等效采样的等效采样率低、采样分辨率低的问题,设计一种基于FPGA的顺序等效采样时基电路,实现了“粗延时+细延时+微延时”三级步进延时采样,使用FPGA控制时序实现了1 TSa/s的等效采样率,最小1 ps步进延时,大幅提高了等效采样率。针对传统时间间隔测量方法时基非线性估计不准确、时基校准效果不好的问题,提出基于查找表的时基校准方法,使 $-6.5 \sim 5$ ps的非线性误差减小到 $-0.8 \sim 1$ ps。

在该采样时基电路基础上,如果能进一步优化电路,提高系统稳定性,改进FPGA控制时序,理论上还可进一步提高等效采样率。

参考文献:

- [1] 李承阳. 20GSPS 宽带数据采集系统研究与实现 [D]. 成都: 电子科技大学, 2017.
- [2] Merelle V, Gauge A, Khamlichi J, et al. A new high speed, high bandwidth acquisition platform for impulse UWB see through-the-wall radar [C]// IEEE International Conference on Ultra-wideband. IEEE, 2016: 202-206.
- [3] 刘映光. 取样示波器中频信号处理技术研究 [D]. 太原: 中北大学, 2020.
- [4] 李海涛, 李斌康, 孙彬, 等. 基于时间交替采样技术的1 GS/s, 16 bit 数据采集系统研究 [J]. 电子技术应用, 2022(7): 118-123.
- [5] Yamamoto S, Sasaki Y, Zhao Y, et al. Metallic Ratio Equivalent-Time Sampling: A Highly Efficient Waveform Acquisition Method [C]// 2021 IEEE 27th International Symposium on On-Line Testing and Robust System Design (IOLTS). IEEE, 2021: 1-6.
- [6] Takahashi K, Roberts R, Jiang Z, et al. Statistical Evaluation of Signal-to-Noise Ratio and Timing Jitter in Equivalent-Time Sampling Signals [J]. IEEE Transactions on Instrumentation and Measurement, 2021(70): 1-4.
- [7] Masui Y, Nishimiya T, Uemi A, et al. A 7. 21-bit ENOB 100MS/s 1. 51mW Inverter based Pipelined ADC with Digital Calibration for Breast Cancer Detection System [J]. IEEE Transactions on Electronics, Information and Systems, 2020, 140(6): 585-591.
- [8] Madsen K N, Gathman T D, Daneshgar S, et al. A High-Linearity, 30 GS/s Track-and-Hold Amplifier and Time Interleaved Sample-and-Hold in an InP-on-CMOS Process [J]. IEEE Journal of Solid-State Circuits, 2015, 50(11): 1-11.
- [9] 王超. 10GHz 宽带信号时域获取技术的研究与实现 [D]. 成都: 电子科技大学, 2019.
- [10] 李海涛, 李斌康, 阮林波, 等. 一种基于频差法的顺序等效采样方法及其实现 [J]. 电子学报, 2020, 48(6): 1071-1076.
- [11] 邱渡裕. 宽带等效取样示波器关键技术研究 [D]. 成都: 电子科技大学, 2015.
- [12] Cao Y, Wen H, Tu Y, A double reference line calibrate method for calibrating characteristic impedance in time domain of a time domain reflectome-

- ter. [P]. CN. 2020.
- [13] Wang C, Hale P D, Jargon J A, et al. Sequential Estimation of Timebase Corrections for an Arbitrarily Long Waveform[J]. IEEE Transactions on Instrumentation & Measurement, 2012, 61(10): 2689–2694.
- [14] 李子桐. 取样示波器精密时基模块技术研究[D]. 太原: 中北大学, 2020.
- [15] 朱江森, 李然, 缪京元, 等. 高速取样示波器时基失真数学模型的研究与仿真[J]. 北京工业大学学报, 2013, 39(12): 1810–1814.
- [16] 李海生. 基于移相技术的改进等精度测频法[J]. 山西大同大学学报(自然科学版), 2020, 36(2): 14–17.

FPGA-based Time base Design and Time base Nonlinear Compensation

LI Jia¹, DENG Genghui², CHEN Yongqiang¹

(1. College of Communication Engineering(microelectronic), Chengdu University of Information Technology, Chengdu 610225, China; 2. School of Aeronautics and Astronautics, University of Electronic Science and Technology of China, Chengdu 611731, China)

Abstract: To improve the equivalent sampling rate and resolution of a high-bandwidth time domain reflectometer (TDR), this paper designs a field-programmable gate array (FPGA)-based time base scheme for time domain reflectometer data acquisition module, and a lookup table-based time base calibration method designed to compensate for the time base nonlinearity. The method is based on the equal precision frequency measurement method, which uses the FPGA to measure the frequency of this square wave signal to get the accurate delay time for the lookup table and the trim pin of the sampling chip to achieve the sequential equivalent sampling in 1 ps steps and the time-base nonlinearity compensation in real-time. The measured data show that the designed time base sampling scheme achieves a 1 TSa/s equivalent sampling rate and the time base compensation scheme reduces the time base nonlinearity to the range of $-0.8-1$ ps.

Keywords: sequential equivalent sampling; FPGA; data acquisition module; DAC; sampling time base