

文章编号: 2096-1618(2024)06-0695-07

# 一款 LED 驱动芯片的设计与测试

王三鑫

(成都信息工程大学通信工程学院, 四川 成都 610225)

**摘要:**在 LED 显示屏高刷新率、高扫描要求下,之前不被重视的 LED 反向漏电、寄生电容、寄生电感等因素导致的问题逐渐呈现出来。传统的控制方法容易出现拖影现象,且传统消隐芯片在 LED 老化后也可能出现毛毛虫现象。基于此设计一款专为 LED 动态扫描显示屏的 8 路行消隐控制芯片,消除拖影现象,集成消隐功能的行管,通过加入下拉电路进行切换时,对行寄生电容上的电荷进行提前泄放。主要集中解决以下 2 个核心问题:产生的消隐电压符合 LED 温漂系数且足够稳定准确,以及搭建测试平台测试消隐电压确保芯片达到设计要求。消隐电路的设定值可通过改变寄存器的值达到可选的消隐电压值,并在 2  $\mu\text{s}$  内实现端口电压下拉消隐。采用自顶向下的设计方法,结合硬件描述语言 Verilog HDL,利用 EDA 开发工具及 FPGA 验证。最后通过 XILINX FPGA 芯片和示波器搭建一个测试系统对整个系统进行极限参数测试、功能测试和电路的电特性测试。结果表明在电源电压为 5 V,工作频率为 200 MHz 的情况下,各项功能和性能达到设计指标要求。

**关键词:**行消隐控制;LED 驱动芯片;FPGA;芯片测试

中图分类号:TN492

文献标志码:A

doi:10.16836/j.cnki.jcuit.2024.06.008

## 0 引言

随着新型半导体器件的发明与应用,显示技术在集成化、小型化和高清化方面取得显著进展,不仅满足了人们对显示设备的需求,也推动着数字娱乐、通信和计算等领域的发展。此背景下,LED 显示屏成为用户选择的主流设备之一,LED 驱动芯片的性能也越来越受到重视。因此,本文设计了一款具有高性能、高稳定性的 LED 驱动芯片,消除拖影现象,以及做到灵活多样。

基于 CanSemi 的 0.18  $\mu\text{m}$  工艺,设计并实现一款 8 通道 LED 显示屏行扫描消隐控制驱动芯片。根据芯片定义进行架构设计,使用 EDA 系列工具进行电路设计仿真和版图设计,在粤芯流片回来后进行测试。设计目标是实现消隐功能并适配市面上各类常见电压值。在第一次扫描开始之前,电路会将端口电压上拉到选择模式对应的消隐电压值,在换行之后,可以通过接地下拉网络短暂地释放一部分寄生电容电荷,在泄放完成后,端口电压会继续下拉或上拉,以达到 8 种可选的消隐电压值,并且在 2  $\mu\text{s}$  内端口的消隐电压可以稳定地保持<sup>[1]</sup>。设计的 LED 驱动芯片 SCK3029BS 在圣成凯数字科技(成都)有限公司协助下完成,SCK3029BS 内部集成了 138 译码器,行消隐电路和功率 NMOS 管,是专为 LED 共阴扫描屏设计的一款 8 通

道消隐控制驱动 IC,内置 2 种消隐模式和消隐电平 8 档可调。SCK3029BS 采用 SOP16 的封装型式,也可采用 QFN 封装适应超小间距的需求;内部集成防烧功率管、可调电位消上鬼影、LED 灯珠保护等功能。系统使用 XILINX 的 KINTEX-7 芯片 XC7K325 开发板,测试结果表明,在实验条件下芯片功能正确、性能稳定,达到预期的设计要求。本文结合具体的实现步骤、功能特点、测试结果等方面,展示这款 LED 驱动芯片的重要性和优越性,为 LED 显示屏的开发与应用提供更好的技术支持,可为相关技术人员提供参考。

## 1 SCK3029BS 的整体架构设计

SCK3029BS 主要由三八译码电路和外围电路组成,整体架构设计如图 1 所示。其中,LFOSC 表示低频振荡器(low frequency oscillator),是一种用于产生低频信号的电路,通常用于电路中的时钟和定时器模块。它可以产生一个可控制的频率和精度的稳定信号,用于同步和计时电路操作。在微控制器和数字电路中,LFOSC 通常用作唤醒用时钟、计时器计时源或其他计时应用,以节省能源并延长电池寿命。此外,它也可以用于生成周期性信号,如音频信号和闪烁 LED 灯等。与高频振荡器不同,低频振荡器通常具有较低的频率,并不需要非常高的精度。这是因为电路中较低的元件数意味着 LFOSC 更经济和占用空间小。

RESET AND ENCODE 为复位和编码模块。RE-

SET 模块通过将一或多个信号置为特定的状态(如将电平拉低)来触发复位操作,将电路恢复到预定的初始状态。ENCODE 模块作为主控制电路提供控制信号,实现主要的消隐功能,支持模式选择、扫描式端口转换、级联连接和重置<sup>[2]</sup>。

BIAS 为偏置产生电路模块。整体电路需要一个偏置电路,使用带隙基准实现,提供所需要的偏置电压和参考电流<sup>[3]</sup>。在模拟电路中,偏置电路通常用于保持放大器电路处于合适的工作区域,使其以线性方式放大输入信号。在数字电路中,偏置电路通常用于确保线路的门限电压处于正确水平,从而正确地解译输入信号。

OUTSTAGE 为输出级消隐模块。根据电路设计要求,OUTSTAGE 在第一扫之前,将每行端口电压拉至设定的值,当扫描到 LED 显示屏的对应行时,NMOS 导通将 LED 阴极电平下拉至地;将要扫描到下一行时,可为当前行选择一个稳定的消隐电压值,且实现  $2\ \mu\text{s}$  内端口电压下拉消隐<sup>[1]</sup>。

IO 模块主要实现缓冲和防静电的功能。为防止电路在储存和使用中受到静电损坏,需要一个带有 ESD 保护功能的电路,使用箝位电路抑制和限制静电放电<sup>[4]</sup>。DCK\_OUT 模块是一个译码电路,生成 8 路输出信号。DFF1D5\_X\_14 主要有 14 个触发器组成,实现倍频的功能。

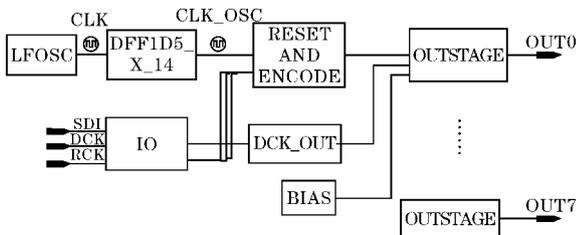


图1 SCK3029BS 整体架构图

## 2 硬件系统设计

### 2.1 SCK3029BS 的封装引脚布局

SCK3029BS 是一款专为 LED 共阴扫描屏设计的行驱动管,集成串行译码电路及功率 NMOS 管。SCK3029BS 在功率管关闭时内部下拉管会打开并以恒定电流吸收行线上的残留电荷,能消除拖影现象,同时改善由于 LED 漏电、短路造成的毛毛虫、LED 灯珠保护等功能<sup>[5]</sup>,能完全消除鬼影现象,提升显示屏整体影像表现效果。SCK3029BS 采用 SOP-16 的封装形式,其顶视图如图 2 所示。

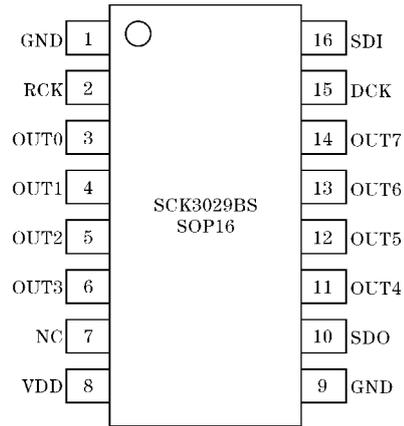


图2 SCK3029BS 芯片顶视图

PIN1 和 PIN9 都是 GND,布板时需要互相连接,增强芯片的过电流能力。在芯片内部结构中,数据管脚对应关系为:SDI 对应原 3-8 译码 C 信号,DCK 对应原 3-8 译码 A 信号,RCK 对应原 3-8 译码 B 信号,其引脚说明如表 1 所示。

表1 引脚说明

管脚号	管脚名称	功能说明
3,4,5,6,11,12,13,14	OUT0 ~ OUT7	驱动输出端
16	SDI	串行数据输入端
15	DCK	数据移位时钟
10	SDO	串行数据输出端
8	VDD	电源端
1,9	GND	接地端
2	RCK	寄存器时钟
7	NC	无

### 2.2 特性

(1)集成 138 译码电路;(2)集成 8 个功率 MOS 输出 PIN,导通电阻  $100\ \text{m}\Omega$ ,最大电流  $2.5\ \text{A}$ ;(3)输入开路、输入锁死自检功能,防烧功率 NMOS 管;(4)LED 显示屏消除上鬼影;(5)改善 LED 显示屏灯珠短路串亮造成的毛毛虫现象;(6)集成防 LED 灯珠反向击穿稳压电路;(7)单颗支持 1~8 扫;(8)消隐电位 8 档可调;(9)内置 2 种消影模式。

### 2.3 驱动架构介绍

行列扫描驱动方式是一种常用的点阵型 LED 显示器驱动方式。其实现方法是将每行 LED 的正极连接,每列 LED 的负极连接。在显示期间,每次只有一行 LED 被驱动,其点亮由该行所在的列上控制信号来决定。通过逐行扫描并同步变换每列上的控制信号,能够在面阵上形成完整的图像<sup>[6]</sup>。由于人眼的视觉滞后性,较高的扫描频率下,人眼仍然可以看到一个完整的画面。该驱动方式具有高效、节能和可靠等优点,被广泛应用于各种点阵型 LED 显示器中。设计时,需考虑控制电路的稳定性和合适的驱动频率选择,以获

得最佳的显示效果。

LED 驱动 IC 可以根据其伏安特性分为恒流驱动和恒压驱动两类。但在全彩显示的驱动能力上,恒流驱动在显示一致性、点阵模块和低端单双色显示应用等方面更具优势,已成为主流驱动方式。恒流驱动方式又可以根据驱动电路和封装方式的差异分为共阴极驱动和共阳极驱动。单个像素的蓝绿和红 LED 在共阴极驱动电路中可以使用不同的供电电源,而不用额外添加偏置电阻来调节电压,这样可以降低 LED 的发热量和简化 PCB 布线的难度。与共阳极驱动方式相比,共阴极驱动具有显示一致性更好、发热低和功耗低等优点,被大部分驱动 IC 和显示厂家广泛采用。共阴极驱动方式的驱动原理如图 3 所示,Source Drive IC 为拉电流恒流驱动芯片,共阴极驱动方式由每个 LED 管的阳极接在恒流列驱动上,阴极接在行线上作为公共端构成。共阴极驱动电流从输入电压流向 IC,经过 LED,再到行管,最后流向 GND 端<sup>[8]</sup>。

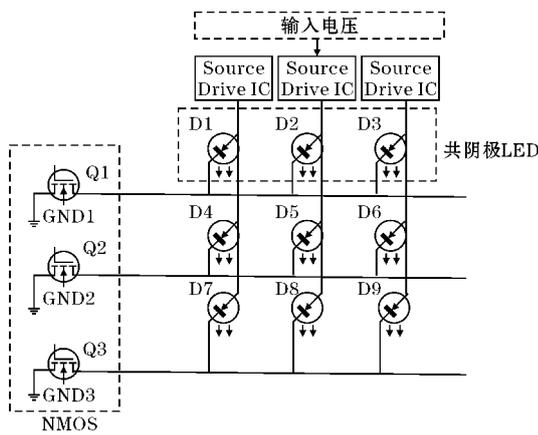


图 3 共阴极驱动原理

### 2.4 硬件设计步骤

确定设计要求和电路架构后,开始行消隐控制电路各子模块的电路设计和仿真,其中包括 IOESD 电路、过流保护电路、上电复位电路、控制信号电路、BI-AS 偏置产生电路、输出端消隐电路等。电路设计完成后,进行芯片电路的版图设计,设计基于版图设计规范,对性能、成本、面积和功耗等要素进行权衡,最终通过 LVS 验证和 DRC 验证,后仿的结果要基本符合设计要求<sup>[1]</sup>。当 SDI 有输入信号时,整体电路的仿真输出波形如图 4 所示。

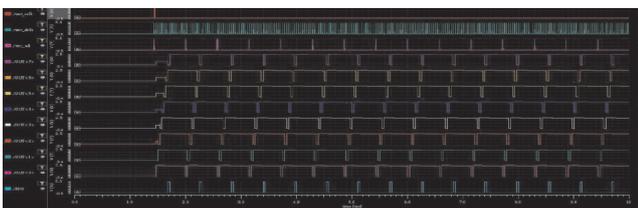


图 4 整体电路仿真

以芯片的默认配置模式“1010”为例,即寄存器时钟 RCK 的上升个数为 18 进行电路仿真,然后局部放大,可以得到在 DCK 的消影时间内,消隐电压 = 1.75 V。如图 5 仿真结果所示,整体电路基本满足了设计要求。

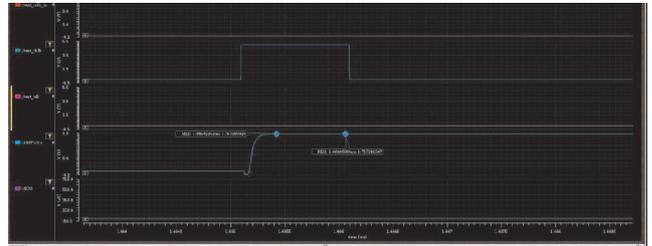


图 5 模式“1010”消隐电压的仿真图

## 3 软件系统设计

根据芯片的数据协议和时序要求对 SDI、DCK 和 RCK 信号进行定义。SCK3029BS 为共阴显示屏串行译码行管驱动,每次换行固定发送 1 个 DCK,通道输出低时为通道打开时刻。DCK 的上升沿为换行信号,即当收到 DCK 上升沿时,数据执行一次移位操作,同时相应的通道也会进行一次移位操作。DCK 的宽度决定了消隐时间,因此需要确保 DCK 的宽度与界面消隐参数联动<sup>[9]</sup>。数据协议如图 6 所示。

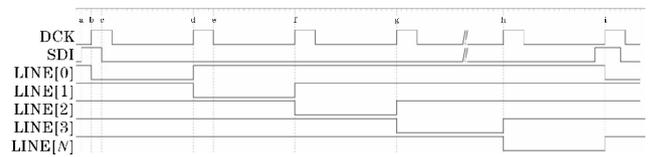


图 6 数据协议

$T_a$ - $T_b$  为建立时间,  $T_b$ - $T_c$  为保持时间,最小值规定都为 20 ns;  $T_d$ - $T_e$ : DCK 脉宽为消影时间,  $T_e$ - $T_f$ : DCK 下降沿到下一个上升沿期间为可进行寄存器配置的区域,  $T_b$ - $T_d$ : 两次 DCK 上升沿之间为一行显示时间。

SDI 为串行数据输入, FPGA 系统时钟频率为 200 MHz, 周期为 5 ns, 本文在测试代码中设计了一个周期为 10  $\mu$ s 的数据信号 SDI。

DCK 为数据移位时钟, 根据数据协议定义成高电平为 1  $\mu$ s、低电平为 9  $\mu$ s 的周期时钟信号。

RCK 为寄存器时钟信号, 根据 RCK 的输入信号进行寄存器的配置, 得到芯片所对应的模式, 进一步测出消隐电位, RCK 的时序图如图 7 所示。

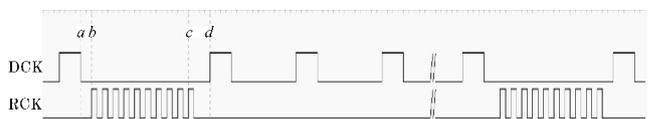


图 7 RCK 时序图

$T_a-T_d$ ,即 DCK 下降沿到下一个上升沿期间为可进行寄存器配置的区域,通过此区域 RCK 发送个数来进行寄存器的配置。寄存器值与 RCK 个数对应关系为

$$\text{Reg}[3:0] = \text{RCK} - 8$$

$T_a-T_b$  为寄存器配置前置空白区域, $T_c-T_d$  为寄存器配置后置空白区域,设置最小值为 100 ns; $T_b-T_c$  为寄存器配置区域,RCK 的 CLK 个数  $\geq 8$ ,RCK 的周期设置为 0.3  $\mu\text{s}$ 。

根据“count\_rclk < RCK 个数”编写测试代码就可以由测试的模式去确定 RCK 的个数,假设 RCK 的个数为 10,并编写 testbench 文件,得到的仿真波形如图 8 所示,符合要求。



图 8 仿真波形

## 4 芯片测试

在流片完成后对样片的消隐功能、电特性和极限参数进行测试。首先根据测试目的进行测试电路的设计和连接,然后进行功能测试、交流测试和直流测试,分别得到测试结果,最后与设计目标比对后,确定设计目标的实现。

### 4.1 测试原理

#### 4.1.1 直流测试

直流测试是产品生产过程中的一项重要测试,涵盖多种测试方法,如漏电测试、接触测试和电源测试等。测试的主要目的是确保产品的稳定性和安全性。漏电测试主要检查芯片是否存在电流泄漏现象,通常是由于短路引起的。在芯片制造过程中,为防止内外发生短路,会在内部和外部之间添加一层绝缘氧化膜。然而,如果氧化膜的厚度不足,就可能导致短路和电流泄漏。漏电测试可以排除潜在的安全隐患,避免电流泄漏导致的故障或事故。接触测试主要检查器件的接口连接情况,确保各个接口连接正确、牢固可靠。通过接触测试,可以避免因接口连接不当而引起的功能异常或不稳定性问题。电源测试用于检测器件是否完好,通常包括动态测试和静态测试。动态测试能够测量在额定电压下器件的电流消耗情况,反映出功耗

的最大值。静态测试则是在稳定电压条件下对器件进行性能测试,以确保器件在设计规格范围内运行<sup>[10]</sup>。通过进行直流测试,可及时发现和解决器件制造过程中的不稳定问题,提高产品的质量和可靠性,确保产品的正常工作和安全使用。

#### 4.1.2 交流测试

在正常使用过程中,芯片需要在正确的时间点执行正确的变化操作。交流测试主要针对交流参数进行测试,其中包括建立时间、保持时间、传输延迟和频率等。交流测试主要目的是确保芯片的时序操作没有问题,本文设计的芯片主要体现在消隐电压的建立时间上。

#### 4.1.3 功能测试

功能测试是要确保芯片的功能完全实现。在芯片设计阶段确定设计目标时,功能被定义并通过功能回路实现。功能测试的核心是测试输入信号,通过将输入信号输入到芯片中,根据确定的频率进行测试,并获取确定的输出波形。把输出波形与设计阶段的理想输出波形进行对比,从而判断功能是否完全实现或达到预期<sup>[11]</sup>。在功能测试中,关注的重点包括消隐电压值和消隐模式。通过对消隐电压进行测试,可以验证其模式和电压值是否符合设计要求,确保芯片在显示图像时能够实现正确的消隐效果。另外,过流保护也是功能测试的一个重要方面,确保芯片在遇到过流情况时能够及时有效地保护电路,避免损坏和故障。

### 4.2 测试过程与结果

本测试系统使用的是 XILINX 的 KINTEX-7 芯片 XC7K325 开发板,整个测试系统由 PC 上位机、FPGA 主板、待测芯片子板和示波器组成。使用 Vivado2018.3 软件建立测试工程,编写 Verilog 测试程序,主要包括按照时序提供分频后的测试时钟、控制信号和数据信号,芯片的控制信号和数据信号由 XILINX FPGA 开发板提供,通过 JTAG 端口下载到 FPGA 板子上进行上电测试,通过双通道示波器捕捉信号,测试平台框图如图 9 所示。

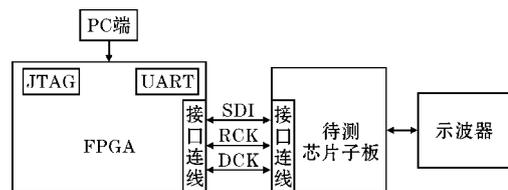


图 9 测试平台框图

根据图 9 测试平台框图,搭建测试电路,如图 10 所示。



图 10 硬件测试平台

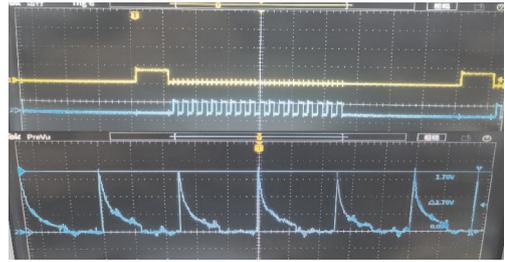
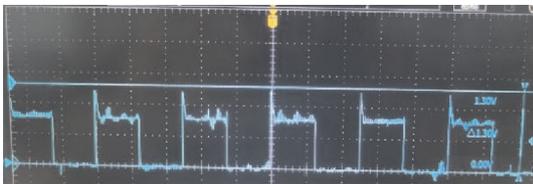


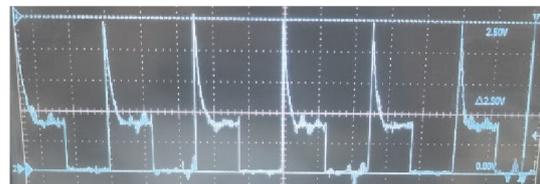
图 11 默认配置测试

将双通道示波器的黄色通道 1 连接到 DCK 信号,蓝色通道 2 先连接到 RCK 信号,再连接到芯片输出端 OUT2,去测试芯片的默认配置,即在不进行寄存器配置的时候,消隐寄存器 $<3:0 \geq 1010$ ,芯片状态为消隐增强关闭,消隐电位=1.75 V,经过对比可以得到功能符合要求,如图 11 所示。

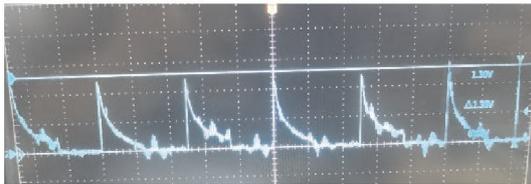
SCK3029BS 芯片消隐电压的实际测量波形图如图 12 所示,展示了部分在不同消隐寄存器下,用示波器测得的消隐电位值。在 VDD 为 5 V,RCK 发送个数为 8 时,消隐电位为 1.25 V;RCK 发送个数为 13 时,消隐电位为 2.5 V;RCK 发送个数为 16 时,消隐电位为 1.25 V;RCK 发送个数为 23 时,消隐电位为 3.0 V。



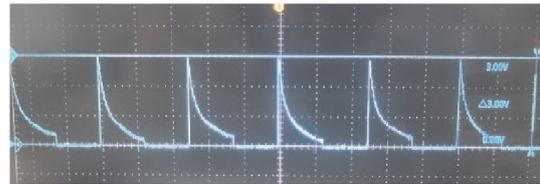
(a) RCK 个数为 8



(b) RCK 个数为 13



(c) RCK 个数为 16



(d) RCK 个数为 23

图 12 SCK3029BS 芯片消隐电压的实际测量波形

从测试结果来看,在电源电压为 5 V,工作频率为 200 MHz 时,芯片工作正常。所有的功能测试结果如表 2 所示。

除核心功能外,完成芯片的极限参数测试和电特性测试,结果分别如表 3 和表 4 所示。

表 2 消隐电压值(VDD=5 V)

RCK 发送 个数	模式 选择(3)	消隐 增强	消隐寄存 器(2:0)	消隐 电位/V
8			000	1.25
9			001	1.5
10			010	1.75
11	0	开启	011	2.0
12			100	2.25
13			101	2.5
14			110	2.75
15			111	3.0
16			000	1.25
17			001	1.5
18			010	1.75
19	1	关闭	011	2.0
20			100	2.25
21			101	2.5
22			110	2.75
23			111	3.0

表 3 电路的极限参数

单位:V

符号	参数	最大值
VDD	逻辑电源电压	6
VII	逻辑输入电压	6.5

表 4 电路的电特性

符号	参数	典型值	测试条件
IDD	静态电流损耗/mA	2.8	VDD=5.0 V
Ron	Pmosfet 导通电阻/mΩ	100	VDD=5.0 V
I <sub>OH</sub>	输出端口驱动电流/A	2.5	VDD=5.0 V

极限参数的测试逻辑<sup>[12]</sup>是在 IO 端逻辑输入电压达到 6.5 V,或电源电压达到 6 V 时电路没有损坏。电特性中的输出端口驱动电流 2.5 A 也符合设计指标。虽然测试结果由于测试环境和工艺的偏差等影响导致其与仿真结果存在差异,但基本实现设计目标。该款芯片完成后测到的通过率为 99%。

### 4.3 横向对比分析

该款芯片与两款传统消隐芯片 A(RUC7258) 和 B(TC7262) 进行对比, 如表 5 所示。RUC7258 内部集成三八译码器, 以恒定电荷吸收电路, 进而消除拖影现象, 提高刷新率, 内置短路保护、过流保护, 提高了产品的适应, 是目前比较先进的专为 LED 大屏幕扫描屏设计的一款电路。TC7262 在功率管关闭时内部下拉管

会打开并以恒定电流吸收行线上的残留电荷, 能消除拖影现象, 同时还能改善由于 LED 漏电、短路造成的毛毛虫现象。TC7262 的专利技术能完全消除鬼影现象, 是市面上 LED 屏行扫描显示效果比较好的芯片。

拥有更多的模式, 可以适配更多种类的 LED 显示屏, 消隐时间短, 对显示屏刷新频率的限制较小, 反向冲击电压在模式调节后极小, 所以显示屏的寿命也得到了提高。

表 5 横向对比表

芯片	模式	消隐时间	对显示屏寿命影响	对显示屏刷新频率限制	反向冲击电压
A	1 种	1 ns 以上	极大	较大	极大
B	4 种	2 $\mu$ s 以上	较小	较小	较小
本文	16 种	2 $\mu$ s 以下	模式调节后极小	极小	模式调节后极小

### 4.4 LED 屏显示测试

将该款芯片与列驱芯片配合, 在  $16 \times 16$  小点间距 LED 显示屏的实际应用中进行测试, 其测试图案无明显异常, 可以正常点亮, 消隐功能正常实现, 如图 13 所示。

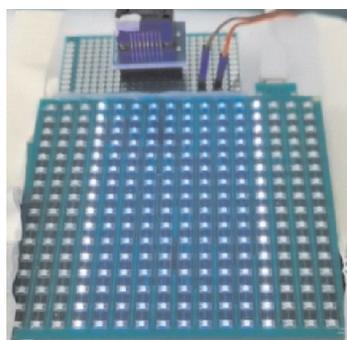


图 13 LED 屏显示测试图

## 5 结束语

介绍了一款基于 CanSemi 的  $0.18 \mu\text{m}$  工艺设计的 8 通道消隐行控制驱动 IC, 针对 LED 显示屏的拖影问题进行优化。通过架构设计、电路仿真和优化、版图设计等步骤, 实现稳定准确的消隐电压。并集中解决了以下 2 个核心问题: 产生足够稳定准确且符合 LED 温漂系数的消隐电压, 以及搭建测试平台验证芯片性能。为实现消隐, 并适配各类常见的电压值, 在第一次扫描开始前, 将端口电压上拉到选定模式所对应的消隐电压值, 通过改变寄存器的值达到可选的消隐电压值。整个过程的时间不超过  $2 \mu\text{s}$ , 并且端口的消隐电压可以保持稳定<sup>[13-15]</sup>。

针对非理想效应的接地法和接消隐电压法 2 种常用解决方案<sup>[15]</sup>, 进一步优化 LED 显示屏行控制电路, 降低消隐时间并提升显示效果。然而, 还可以进一步改进电路的自适应模式, 实现根据 LED 表现自动调整消隐电压, 并考虑采用更先进的工艺提升芯片性能。该研究对解决 LED 显示屏拖影问题具有重要意义, 可为相关技术人员提供参考。

### 参考文献:

- [1] 袁冶. 高速消隐 LED 显示屏行控制电路的设计与实现[D]. 西安: 西安电子科技大学, 2020.
- [2] 李梦杰, 邓良, 陈章进, 等. 基于控制串行传输的 LED 屏列驱动芯片设计[J]. 微电子学与计算机, 2020, 37(5): 6-12.
- [3] 杨保兴. 一款可音频调制的 LED 显示驱动芯片的设计[D]. 西安: 西安电子科技大学, 2020.
- [4] 杨燕妮. 恒流 LED 驱动 IC 的静电浪涌防护设计[D]. 无锡: 江南大学, 2022.
- [5] 殷录桥, 张雪松, 任开琳, 等. 考虑小尺寸效应的 Micro-LED 驱动结构设计[J]. 光学学报, 2023, 43(2): 210-225.
- [6] 周律, 郑华, 张声浩, 等. Micro-LED 显示及其驱动技术的研究进展[J]. 液晶与显示, 2022, 37(11): 1395-1410.
- [7] 王震宇, 王雪原, 唐茂洁, 等. 一种 LED 显示驱动芯片倍频 OS-PWM 算法[J]. 电子与封装, 2022, 22(1): 67-71.
- [8] 杨东. LED 驱动电源的设计[J]. 黄河科技学院学报, 2021, 23(8): 1-4.

- [9] 周杨,冯奕,唐茂洁,等.一种LED显示屏补偿电路及其方法:中国专利,CN202010026192.9 [P].2021-07-27.
- [10] 汪苏,王兵,王美娟,等.基于FPGA的LED驱动芯片高速测试的设计与实现[J].电子技术与软件工程,2021,(20):65-68.
- [11] 刘文斌,汪金辉,袁颖,等.一款SRAM芯片的设计与测试[J].微电子学,2014,44(4):495-498+502.
- [12] 王展意.基于FPGA的存储芯片测试系统设计[J].中国集成电路,2021,30(5):64-73.
- [13] 易美佳,李逍遥,金叶,等.基于LT3964的LED驱动电路的仿真与实验研究[J].照明工程学报,2022,33(1):76-80.
- [14] 万焱,周咏.基于ZYNQ的视频处理平台框架设计[J].成都信息工程大学学报,2021,36(1):62-67.
- [15] 王逸飞.基于FPGA的SoC全自动化测试平台的设计与实现[D].南京:东南大学,2021.

## Design and Testing of an LED Driver Chip

WANG Sanxin

(College of Communication Engineering, Chengdu University of Information Technology, Chengdu 610225, China)

**Abstract:** Under the high refresh rate and high scanning requirement of LED display, the problems caused by LED reverse leakage, parasitic capacitance, parasitic inductance, and other factors that were not emphasized before are gradually presented. However, the traditional control method is prone to the phenomenon of dragging shadow, and the traditional fading chip may also appear a caterpillar phenomenon after LED aging. Based on this, we designed an 8-channel line blanking control chip specifically for LED dynamic scanning display, eliminating the phenomenon of shadow dragging, integrating the blanking function of the line tube, and releasing the charge on the line parasitic capacitor in advance by adding a pull-down circuit when switching. Mainly focus on solving the following two core issues: the resulting fade voltage in line with the LED temperature drift coefficient and sufficiently stable and accurate, as well as building a test platform to test the fade voltage to ensure that the chip meets the design requirements. The set value of the blanking circuit can be changed by changing the value of the register to achieve the optional blanking voltage value and realize the port voltage pull-down blanking within 2  $\mu$ s. The top-down design method is used, combined with the hardware description language Verilog HDL, and verified by EDA development tools and FPGA. Finally, a test system is built by XILINX FPGA chip and oscilloscope to test the limit parameters of the whole system, functional test, and electrical characteristics of the circuit; the results show that the functions and performance meet the requirements of the design indexes at a power supply voltage of 5 V and an operating frequency of 200 MHz.

**Keywords:** row fading control; LED driver chip; FPGA; chip test