

文章编号: 2096-1618(2025)03-0273-05

一种基于三线圈变压器耦合的双核 CMOS 压控振荡器

廖星月^{1,2}, 郭本青^{1,2}

(1. 成都信息工程大学通信工程学院, 四川 成都 610225; 2. 集成计算与芯片安全协同创新中心, 四川 成都 610225)

摘要:提出一种低相位噪声压控振荡器(VCO)拓扑结构。基于三线圈变压器耦合,保持振荡器工作在F类的低噪声模式;三线圈变压器的耦合,又在尾电流晶体管源极处形成噪声循环结构以实现晶体管噪声的降低;VCO又由单核扩展到双核,实现相位噪声的进一步降低。此外,变压器三线圈耦合结构不仅用于pMOS尾电流晶体管电流控制,还可消除传统共源结构的共模寄生电容,避免共模振荡。基于标准TSMC 65 nm CMOS工艺,使用ADS和Cadence Spectre-RF联合协同仿真,设计实现了14.5 GHz的双核VCO电路。模拟结果表明,在1 MHz偏移下得到的相位噪声为-123.6 dBc/Hz, FoM为191 dBc/Hz。电路核心面积为0.06 mm²,在1.2 V电源电压供给下,电流消耗为30.75 mA。

关键词:三线圈变压器;双核;相位噪声;噪声循环;压控振荡器

中图分类号:TP301.6

文献标志码:A

doi:10.16836/j.cnki.jcui.2025.03.003

0 引言

压控振荡器作为信号源的核心电路,有为收发机电路提供本振信号的作用和作为数字电路时钟的功能。因此对压控振荡器的输出频谱纯净度要求极高,否则将会导致发射泄露,甚至可能影响收发机的信噪比。因此,对于如今的高频率波段,压控振荡器的设计面临着巨大的设计和生产挑战。传统噪声滤波技术通过增加电感和限制调谐范围来增强相位噪声^[1]。而C类VCO实现了高效的直流到基频的转换,实现高FoM,但往往在启动条件上存在折中^[2]。此外,一种BiCMOS串联谐振VCO,展示了最低的相位噪声,但缺点是低功耗(600 mW),使其在低功耗应用中变得不切实际^[3]。而RC振荡器的频率补偿方案^[4]可以减少比较器偏置和延迟带来的频率漂移,并提高了振荡器的温度适应性。另外,用于无线应用的低压高摆幅偏置Colpitts VCO架构^[5]在各方面都取得了良好的性能,但只适用于低压环境。因此,如何在相位噪声、调谐范围和功耗方面平衡性能是设计的关注点。

本文提出一种低相位噪声双核VCO拓扑结构。在传统具有低噪声模式的F类VCO基础上,采用三线圈变压器耦合,实现方波耦合,有效解决传统VCO结构中存在的槽差电压过零点波动的问题,并且变压器线圈不仅用于尾电流晶体管电流控制,还能物理分离尾电流源,消除传统共源结构的共模寄生电容,避免共模振荡;晶体管源极相连形成噪声循环结构使大部分

相位噪声在内部循环;阻性连接实现单核到多核的扩展,进一步改善相位噪声。提出的结构显著提高了有源器件的相位噪声贡献和FoM,同时没有损害其他关键性能。

1 VCO

1.1 单核 VCO

单核VCO结构如图1所示,采用一个三线圈变压器;一对nMOS和一对pMOS晶体管($M_{N1/2}$ 、 $M_{P1/2}$)的源极被连接形成一个噪声循环拓扑结构;两个4位开关控制的电容器组,通过粗调和细调步进频率调谐电容结构,使其具备较宽的频率覆盖范围。

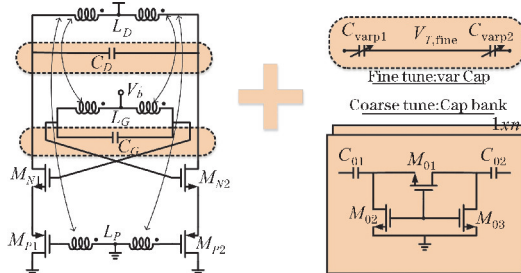


图1 基于三线圈变压器耦合的噪声循环单核 VCO

变压器连接到nMOS晶体管的栅极、漏极和pMOS晶体管的栅极,分别用 L_G 、 L_D 和 L_P 表示。 L_G 和 L_D 的耦合奠定了本结构工作在低噪声模式的F类状态。 L_P 和 L_D 之间的耦合主要为促进信号传输,使 L_D 端的方波耦合至 L_P ,以改善槽差电压过零点波动;此外, L_P 分离尾电流源晶体管,不仅用于电流控制还消除了共模寄生电容。然而,在变压器结构中,如图2(a)所示,需

收稿日期:2024-03-31

项目基金:国家自然科学基金资助项目(61871073);四川省自然科学基金资助项目(2022NSFSC0522)

通信作者:郭本青. E-mail:rficgbq@gmail.com

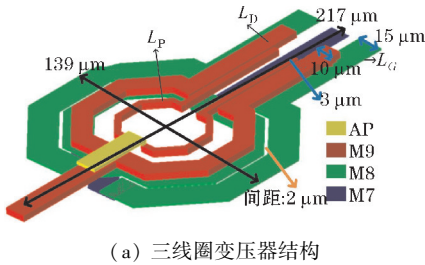
要考虑3个线圈之间磁性的相互作用。因此其耦合系数的设计至关重要,其不仅直接影响 Q ^[6],还影响相位噪声;且 L_G 与 L_D 之间的耦合系数 k_{GD} 需小于0.8,VCO才能工作在F类状态^[7];为保持最佳性能,有必要最小化 L_G 和 L_P 之间的耦合,防止在 L_P 一侧发生过度耦合出现共模振荡。将3个线圈两两耦合,得到了一个近似的等效电感 L_{eq1} 、 L_{eq2} 和槽谐振频率 $\omega_{1,2}$,如下所示:

$$L_{eq1} \approx L_D - \frac{M_{DP}^2 \omega^2 L_P}{R_{sub} + L_P^2 \omega^2} \quad (1)$$

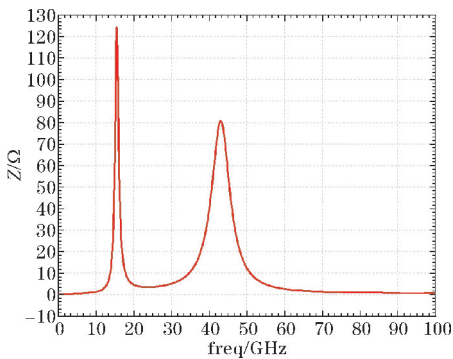
$$L_{eq2} \approx L_G - \frac{M_{GP}^2 \omega^2 L_P}{R_{sub} + L_P^2 \omega^2} \quad (2)$$

$$\omega_{1,2}^2 = \frac{1 + \left(\frac{L_{eq2} C_G}{L_{eq1} C_D} \right) \pm \sqrt{1 + \left(\frac{L_{eq2} C_G}{L_{eq1} C_D} \right) + \left(\frac{L_{eq2} C_G}{L_{eq1} C_D} \right) (4k_{GD}^2 - 2)}}{2L_{eq2} C_G (1 - k_{GD}^2)} \quad (3)$$

其中 R_{sub} 为衬底, M_{DP} 和 M_{GP} 分别为与 L_D 和 L_P 、 L_G 和 L_P 的互感系数, L_{eq1} 、 L_{eq2} 分别表示 L_D 与 L_P 、 L_G 与 L_P 之间的等效耦合电感。从图2(b)可以看出,谐振阻抗曲线呈现出两个峰值,满足F类VCO特性。经过多次迭代仿真,变压器结构及详细参数如图2(a)所示。变压器长约217 μm ,宽约139 μm 。



(a) 三线圈变压器结构



(b) 谐振阻抗

图2 变压器原理示意图及仿真

1.2 噪声循环分析

根据线性时变相位噪声模型,给定注入脉冲的相位扰动量取决于注入发生的时间。当槽差电压过零点时,振荡器对扰动最敏感,对相位的影响最大^[8]。提出的VCO拓扑结构可以得到有效改进。

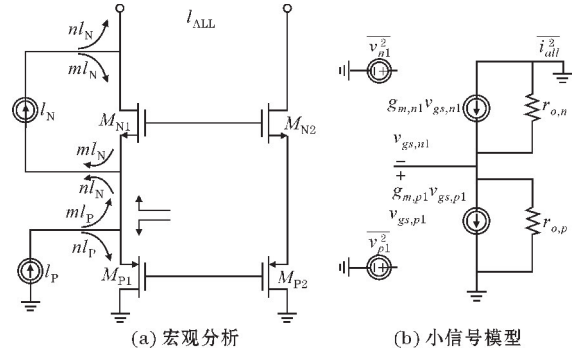


图3 噪声循环结构

图3(a)为噪声循环宏观分析图。从晶体管源极节点向上观察到的阻抗记为 Z_{UP} ,从源极节点向下观察到的阻抗记为 Z_{DN} 。在 M_{P1} 晶体管中,只有一部分噪声电流 mI_p 流经 M_{N1} 晶体管并进入槽,从而产生相位噪声。噪声电流的另一部分 nI_p ,形成回环到 M_{P1} 晶体管,并最终在地电平终止。在 M_{N1} 晶体管中,一部分噪声电流 nI_n 流入槽内,造成噪声行为干扰。剩余部分 mI_n 在 M_{N1} 晶体管内部循环而不产生相位噪声。这显著提高了压控振荡器的相位噪声性能。最终总输出噪声电流 I_{ALL} 计算为^[9]

$$I_{ALL} = \frac{nI_{n,1} - nI_{n,2} + mI_{n,1} - mI_{n,2}}{2} \quad (4)$$

$$\text{其中} \begin{cases} m = \frac{Z_{DN}}{Z_{UP} + Z_{DN}} \\ n = \frac{Z_{UP}}{Z_{UP} + Z_{DN}} \\ m + n = 1 \end{cases} \quad (5)$$

从图3(b)小信号模型中可以清楚地看出,噪声电流明显减小,等效噪声电流 i_{all} :

$$\overline{i_{all}} = \frac{r_{o,n}(1 + g_{m,p1}r_{o,p})\overline{i_{n1}} + r_{o,p}(1 + g_{m,n1}r_{o,n})\overline{i_{p1}}}{(1 + g_{m,n1}r_{o,n})r_{o,p} + r_{o,n}(1 + g_{m,p1}r_{o,p})} \quad (6)$$

另外,由于 L_D 与 L_P 耦合,导致pMOS栅极也会出现方波。额外的耦合改善了槽差电压过零时的波动,降低了相位噪声。

噪声循环技术也可以应用于nMOS尾电流晶体管。但 M_{P1} 噪声贡献会增加。考虑到尾电流管的噪声贡献在整个拓扑结构种占主导地位,因此,pMOS尾电流晶体管具有更好的噪声性能^[10]。

1.3 双核VCO

随着技术的不断进步,单个VCO的相位噪声和调谐范围已经不能满足实际电路的需要。基于lesson公式^[11]提出的相位噪声的经验模型,给出一种双核压控振荡器结构图,如图4所示。在相位噪声方面,与单核结构相比,可获得 $-10\lg 2$ 的降噪效果。两个VCO芯的输出端阻性耦合^[12],在降低相位噪声的同时避免了复杂的变压器耦合模式,并且降低了频率失配的可能性。

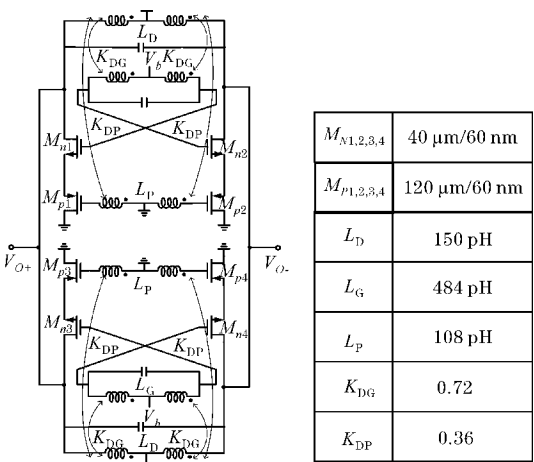


图 4 一种双核压控振荡器结构图及参数值

2 仿真结果分析

基于标准 TSMC 65 nm CMOS 工艺,使用 ADS 和 Cadence Spectre-RF 对双核 VCO 做协同仿真设计。晶体管尺寸、电感值和 14.5 GHz 时的 k 值如图 4 和图 5 所示。此外, $L_{D/G/P}$ 的 Q 值分别为 13.3、12.2、11.2。在 14.5 GHz 时,电路功耗为 36.9 mW。所提电路的芯片布局图如图 6 所示,其核心所占面积为 0.06 mm²。

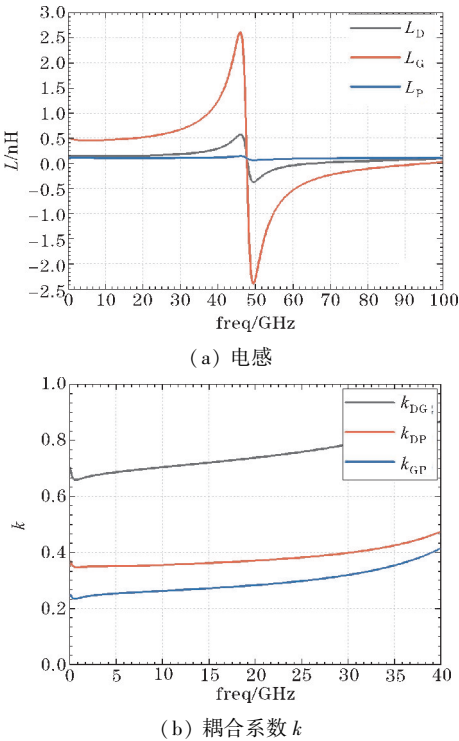


图 5 三圈变压器结果电感值和耦合系数

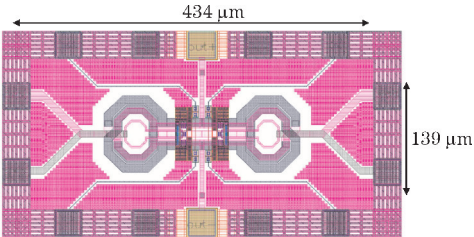


图 6 所提电路的芯片布局图

提出的双核 VCO 的时域图如图 7 所示。nMOS 的栅极为正弦波,漏极为明显的方波,符合 F 类 VCO 的特性。pMOS 的栅极也表现出方波特性,与预期一致。

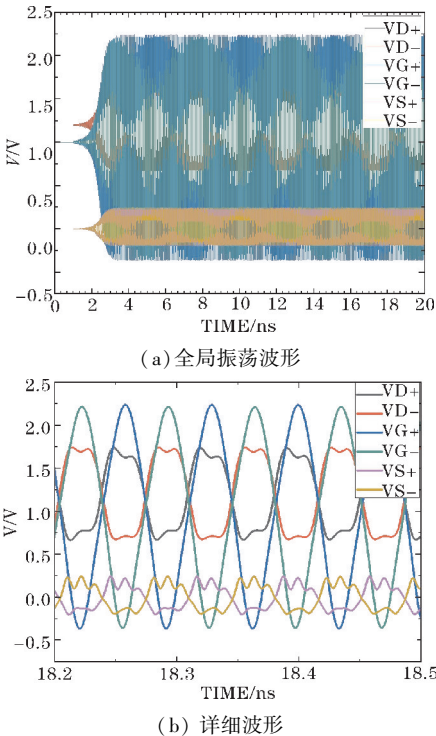


图 7 提出的 VCO 的瞬态仿真

在 1 MHz 偏移时,测量到的相位噪声为 -123.5 dBc/Hz。如图 8 (a) 所示。在 1 MHz 偏移时,相应的 FoM 为 191 dBc/Hz。从图 8(b) 可以看出,在 14.1 ~ 16.4 GHz,VCO 的频率调谐范围约为 15%。

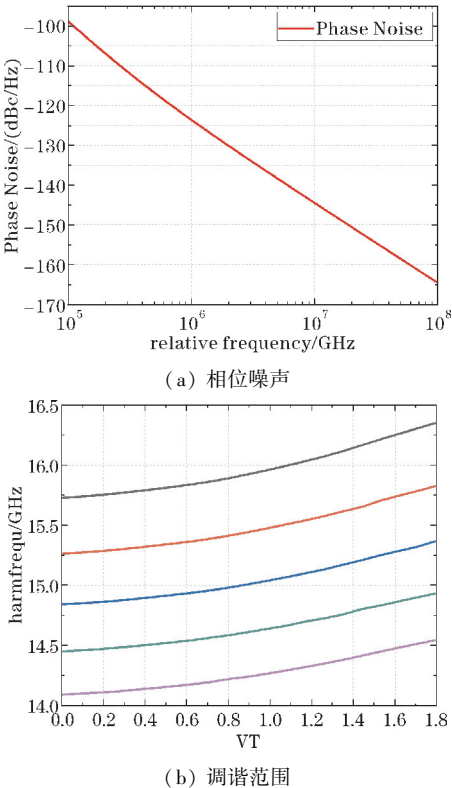


图 8 提出的 VCO 的性能仿真

表1总结了性能,并将其与最近发布的VCO拓扑进行比较。所提出的压控振荡器具有调谐范围宽、相位噪声低、功耗高、波形质量好等特点。与文献[2]相比,本设计在功耗和面积方面具有明显优势。与文献[13]和文献[14]设计相比,频率和面积相似,但功耗

优势明显。在文献[15]中实现与此设计相似的相位噪声需要4个内核,从而导致更大的占地面积和两倍的功耗。与文献[7]和文献[8]相比,该设计在更高频率下具有优异的性能。

表1 性能总结和比较

方法	PN@ 1MHz/ (dBc/Hz)	DC power/ mW	Frequency/ GHz	FoM@ 1MHz/ (dBc/Hz)	Core area/ mm ²	Num. of cores	Technology
文献[2]	-138	600	10 ~ 10.9	190	0.54	1	55 nm [*]
文献[6]	-116	45.2	15.7 ~ 18.2	184	0.065	1	0.13 μm [*]
文献[7]	-124	72	15	189	1	4	0.13 μm [*]
文献[8]	-117.3	22.1	14.5 ~ 17.9	187.6	0.16	4	28nm [*]
文献[5]	-131.6	2.58	2.35	195	0.36	1	130nm [*]
文献[4]	-131	15	3.7	190.6	0.12	1	65nm [*]
本文方法	-123.6	36.9	14.5	191	0.06	2	65nm [*]

注: * CMOS 工艺, ♣ SiGe BiCMOS 工艺

3 结束语

提出一种基于三线圈变压器耦合的双核CMOS压控振荡器。三线圈变压器耦合使得压控振荡器工作在F类低相位噪声模式;使方波耦合改善了槽差电压过零点波动问题;此外,还能实现电流控制尾电流源;物理分离尾电流源消除共模寄生电容。晶体管源极连接形成噪声循环结构,吸收来自nMOS和pMOS的一些相位噪声。采用简单的阻性连接实现单核到双核的扩展进一步降低相位噪声。本文提出的结构在不降低其他性能的同时,显著降低了相位噪声。

参考文献:

[1] Hegazi E, Sjoland H , Abidi A A . A filtering technique to lower LC oscillator phase noise[J]. IEEE Journal of Solid-State Circuits, 2001 (12) :36.

[2] Mazzanti A, Andreani P. Class-C Harmonic CMOS VCOs, With a General Result on Phase Noise[J]. IEEE Journal of Solid-State Circuits, 2008, 43 (12) :2716-2729.

[3] Franceschin A, Riccardi D, Mazzanti A. Series-Resonance BiCMOS VCO with Phase Noise of -138 dBc/Hz at 1 MHz Offset from 10 GHz and -190 dBc/Hz FoM [C]. 2022 IEEE International Solid-State Circuits Conference (ISSCC), San Francisco, CA, USA, 2022.

[4] Chen J, Guo B. A low-voltage high-swing colpitts

VCO with Inherent tapped capacitors based dynamic body bias technique [C]. 2017 IEEE International Symposium on Circuits and Systems (ISCAS), Baltimore, MD, USA, 2017.

[5] Li C, Wang Y, Guo B, et al. A 300 nW 10 kHz Relaxation Oscillator with 105 ppm/°C Temperature Coefficient [J]. Circuits, Systems, and Signal Processing, 2021, 40 (11) :5264-5279.

[6] 刘林林, 王全. 40nm CMOS 工艺电感及变压器性能研究 [J]. 电子技术, 2021, 50 (7) :20-22.

[7] Babaie, M, Staszewski, et al. A Class-F CMOS Oscillator [J]. Solid-State Circuits Journal of, 2013, 48 (12) :3120-3133.

[8] Mazzanti A, Bevilacqua A. On the Phase Noise Performance of Transformer-Based CMOS Differential-Pair Harmonic Oscillators [J]. IEEE Transactions on Circuits and Systems I: Regular Papers, 2015, 62 (9) :2334-2341.

[9] Wang F , Wang H . A Noise Circulating Cross-Coupled VCO with a 195.6dBc/Hz FoM and 50kHz 1/f³ Noise Corner [C]. IEEE Custom Integrated Circuits Conference, 2018.

[10] 刘晓鸣. 高性能CMOS射频接收机关键电路设计 [D]. 上海: 上海交通大学, 2021.

[11] Jia H, Guan P, Deng W, et al. A low-phase-noise quad-core millimeter-wave fundamental VCO using circular triple-coupled transformer in 65-nm CMOS [J]. IEEE Journal of Solid-State Circuits, 2022, 58 (2) :371-385.

- [12] Zhang J , Zhao C , Wu Y , et al. An Ultralow Phase Noise Eight-Core Fundamental 62-to-67-GHz VCO in 65-nm CMOS[C]. IEEE Microwave and Wireless Components Letters, 2019.
- [13] Leeson D B. A simple model of feedback oscillator noise spectrum[J]. IEEE, 1966, 54(2) : 329–330.
- [14] Apostolina I, Manstretta D. A 14.5–17.9 GHz Harmonically-Coupled Quad-Core P-N Class-B DCO with -117.3 dBc/Hz Phase Noise at 1 MHz Offset in 28 nm CMOS [C]. IEEE Radio Frequency Integrated Circuits Symposium (RFIC), USA, 2022.
- [15] Padovan F , Quadrelli F , Bassi M , et al. A quad-core 15GHz BiCMOS VCO with 124dBc/Hz phase noise at 1MHz offset, 189dBc/Hz FOM, and robust to multimode concurrent oscillations [C]. IEEE International Solid-State Circuits Conference-(ISSCC), 2018.

A Dual Core CMOS VCO based on Three Coil Transformer Coupling

LIAO Xingyue^{1,2}, GUO Benqing^{1,2}

(1. College of Communication Engineering, Chengdu University of Information Technology, Chengdu 610225, China; 2. Collaborative Innovation Center for Intergrated Computing and Chip Seavrity, Chengdu 610225, China)

Abstract: A low-phase noise voltage-controlled oscillator (VCO) topology is proposed. Based on three-coil transformer coupling, the oscillator is kept in (class F) low noise mode; A noise cycle structure is formed at the source of the tail current transistor to reduce the noise of the transistor. The VCO is then extended from single-core to dual-core to achieve further reduction of phase noise. In addition, transformer three-coil coupling structure is not only used for pMOS tail current transistor current control, but also can eliminate the common mode parasitic capacitance of traditional common source structure. Based on the TSMC 65 nm CMOS process, a 14.5 GHz dual-core VCO circuit is designed by ADS and Cadence co-simulation. The simulation results show that the phase noise at 1MHz offset is -123.6 dBc/Hz and the FoM is 191 dBc/Hz. The core circuit area is 0.06 mm², and the current consumption is 30.75 mA under the supply voltage of 1.2 V.

Keywords: three-coil transformer; dual-core; phase noise; noise cycle; VCO